

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hideki TAKAHASHI

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

JC971 U.S. PTO
09/986277

REQUEST FOR PRIORITY

- ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

- SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

JAPAN

APPLICATION NUMBER

2001-160160

MONTH/DAY/YEAR

May 29, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☒ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1c971 U.S. PTO
09/986277
11/08/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 5月29日

出 願 番 号

Application Number:

特願2001-160160

出 願 人

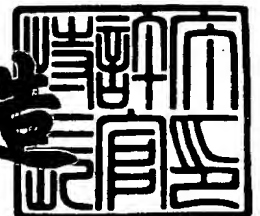
Applicant(s):

三菱電機株式会社

2001年 6月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3053480

【書類名】 特許願

【整理番号】 532687JP01

【提出日】 平成13年 5月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会
社内

 【氏名】 高橋 英樹

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

 【識別番号】 100088845

 【弁理士】

 【氏名又は名称】 有田 貴弘

【手数料の表示】

 【予納台帳番号】 012852

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 一方主面及び他方主面を有する、第 1 の導電型の第 1 の半導体層と、

前記第 1 の半導体層の一方主面上に形成された第 2 の導電型の第 2 の半導体層と、

前記第 2 の半導体層上に形成された第 2 の導電型の第 3 の半導体層と、

前記第 3 の半導体層上に形成された第 1 の導電型の第 4 の半導体層と、

前記第 4 の半導体層の表面から少なくとも前記 4 の半導体層を貫通するように配列して形成される、第 1 の溝及び少なくとも一つの第 2 の溝と、

前記第 1 の溝に隣接して前記第 4 の半導体層の表面内に選択的に形成された、第 2 の導電型の第 1 の半導体領域と、

前記第 1 の溝の内壁上に形成された第 1 の絶縁膜と、

前記第 1 の絶縁膜を介して前記第 1 の溝内に埋め込まれた制御電極とを備え、前記制御電極は前記少なくとも一つの第 2 の溝内には形成されず、

前記第 1 の半導体領域の少なくとも一部と電氣的に接続し、かつ前記第 4 の半導体層の表面の略全面上に形成された第 1 の主電極と、

前記第 1 の半導体層の他方主面上に形成された第 2 の主電極とを備える、半導体装置。

【請求項 2】 請求項 1 記載の半導体装置であって、

前記第 1 の溝と前記少なくとも一つの第 2 の溝との溝間距離を $5\ \mu\text{m}$ 以下にしたことを特徴とする、半導体装置。

【請求項 3】 請求項 1 記載の半導体装置であって、

前記第 1 の溝は平面視所定方向に沿って形成される溝を含み、

前記少なくとも一つの第 2 の溝は平面視前記所定方向に沿って形成される溝を含み、

前記第 1 の半導体領域は、前記第 1 の溝近傍に形成される第 1 の部分領域と、

前記第 1 の溝から離れる方向に前記第 1 の部分領域から延長して形成される第 2 の部分領域とを含み、

前記第 1 の主電極は前記第 2 の部分領域上に直接形成されることにより前記第 1 の半導体領域と電氣的に接続を行う、
半導体装置。

【請求項 4】 請求項 3 記載の半導体装置であって、

前記第 1 の半導体領域は、前記第 2 の部分領域からさらに延長して、前記少なくとも一つの第 2 の溝の近傍に形成される第 3 の部分領域を含み、

前記第 1 の主電極はさらに前記第 3 の部分領域上に直接形成されることにより前記第 1 の半導体領域と電氣的に接続を行う、
半導体装置。

【請求項 5】 請求項 4 記載の半導体装置であって、

前記第 2 及び第 3 の部分領域はそれぞれ複数の第 2 及び第 3 の部分領域を含み

前記複数の第 3 の部分領域は前記少なくとも一つの第 2 の溝の近傍に選択的に形成される、
半導体装置。

【請求項 6】 請求項 1 ないし請求項 5 のうち、いずれか 1 項に記載の半導体装置であって、

前記少なくとも一つの第 2 の溝に隣接して前記第 4 の半導体層の表面内に形成された、第 1 の導電型の第 2 の半導体領域をさらに備え、前記第 2 の半導体領域は前記第 4 の半導体層より第 1 の導電型の不純物濃度が高く設定される、
半導体装置。

【請求項 7】 請求項 6 記載の半導体装置であって、

前記第 2 の半導体領域の第 1 の導電型の不純物濃度は、前記第 1 の半導体領域の第 2 の導電型の不純物濃度より高く設定される、
半導体装置。

【請求項 8】 請求項 1 ないし請求項 7 のうち、いずれか 1 項に記載の半導体装置であって、

前記少なくとも一つの第 2 の溝は複数の第 2 の溝を含む、
半導体装置。

【請求項 9】 請求項 1 ないし請求項 7 のうち、いずれか 1 項に記載の半導体装置であって、

前記第 1 の溝及び前記少なくとも一つの第 2 の溝の形成深さは同一である、
半導体装置。

【請求項 10】 請求項 1 ないし請求項 7 のうち、いずれか 1 項に記載の半導体装置であって、

前記第 1 の溝及び前記少なくとも一つの第 2 の溝の形成幅は同一である、
半導体装置。

【請求項 11】 請求項 1 ないし請求項 7 のうち、いずれか 1 項に記載の半導体装置であって、

前記少なくとも一つの第 2 の溝の内壁上に形成される第 2 の絶縁膜をさらに備える、
半導体装置。

【請求項 12】 請求項 11 記載の半導体装置であって、
前記第 2 の絶縁膜を介して前記少なくとも一つの第 2 の溝内に埋め込まれた導電領域をさらに備える、
半導体装置。

【請求項 13】 請求項 12 記載の半導体装置であって、
前記第 1 の主電極は前記導電領域上に直接形成される、
半導体装置。

【請求項 14】 請求項 1 ないし請求項 13 のうち、いずれか 1 項に記載の半導体装置であって、

前記第 1 の半導体層と前記第 2 の半導体層と間に形成される、第 2 の導電型の第 6 の半導体層をさらに備え、前記第 6 の半導体層の第 2 の導電型の不純物濃度は前記第 2 の半導体層よりも高く設定される、
半導体装置。

【請求項 15】 (a) 一方主面及び他方主面を有し第 1 の導電型の第 1 の半

導体層と前記第 1 の半導体層の一方主面上に形成された第 2 の導電型の第 2 の半導体層とを含む基体を準備するステップと、

(b) 前記第 2 の半導体層上に第 2 の導電型の第 3 の半導体層を形成するステップと、

(c) 前記第 3 の半導体層上に第 1 の導電型の第 4 の半導体層を形成するステップと、

(d) 前記第 4 の半導体層の表面内に第 2 の導電型の第 1 の半導体領域を選択的に形成するステップと、

(e) 前記第 4 の半導体層の表面から、少なくとも前記第 1 の半導体領域及び前記第 4 の半導体層を貫通するように第 1 の溝を選択的に形成するステップと、

(f) 前記第 1 の溝の内壁上に第 1 の絶縁膜を形成するステップと、

(g) 前記第 1 の絶縁膜を介して前記第 1 の溝内に埋め込んで制御電極を形成するステップと、

(h) 前記第 4 の半導体層の表面から、少なくとも前記第 4 の半導体層を貫通するように少なくとも一つの第 2 の溝を、前記第 1 の溝に隣接かつ離間して形成するステップと、

(i) 前記第 1 の半導体領域の少なくとも一部と電氣的に接続し、かつ前記第 4 の半導体層の表面の略全面上に第 1 の主電極を形成するステップと、

(j) 前記第 1 の半導体層の他方主面上に第 2 の主電極を形成するステップと、を備える半導体装置の製造方法。

【請求項 1 6】 請求項 1 5 記載の半導体装置の製造方法であって、

前記ステップ(e) 及びステップ(h) は、前記第 1 の溝と前記少なくとも一つの第 2 の溝の溝間距離が $5\ \mu\text{m}$ 以下になるように実行される、半導体装置の製造方法。

【請求項 1 7】 請求項 1 5 記載の半導体装置の製造方法であって、

前記ステップ(e) は平面視所定方向に沿って前記第 1 の溝を形成するステップを含み、

前記ステップ(h) は平面視前記所定方向に沿って前記少なくとも一つの第 2 の溝を形成するステップを含み、

前記ステップ(d) 及び(e) 実行後の前記第 1 の半導体領域は、前記第 1 の溝近傍に形成される第 1 の部分領域と、前記第 1 の溝から離れる方向に前記第 1 の部分領域から延長して形成される第 2 の部分領域とを含み、

前記ステップ(i) は、前記第 2 の部分領域上に直接前記第 1 の主電極を形成するステップを含む、
半導体装置の製造方法。

【請求項 1 8】 請求項 1 5 あるいは請求項 1 6 記載の半導体装置の製造方法であって、

(k) 前記第 4 の半導体層の表面内に、第 1 の導電型の第 2 の半導体領域を形成するステップさらに備え、前記第 2 の半導体領域は前記第 4 の半導体層より第 1 の導電型の不純物濃度が高く設定される、
半導体装置の製造方法。

【請求項 1 9】 請求項 1 5 ないし請求項 1 8 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、

前記ステップ(e) 及び前記ステップ(h) は同時に実行される、
半導体装置の製造方法。

【請求項 2 0】 請求項 1 5 ないし請求項 1 8 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、

(l) 前記少なくとも一つの第 2 の溝の内壁に第 2 の絶縁膜を形成するステップをさらに備え、

前記ステップ(f) 及び前記ステップ(l) は同時に実行される、
半導体装置の製造方法。

【請求項 2 1】 請求項 2 0 記載の半導体装置の製造方法であって、

(m) 前記第 2 の絶縁膜を介して前記少なくとも一つの第 2 の溝内に導電領域を埋め込むステップをさらに備え、

前記ステップ(g) 及び前記ステップ(m) は同時に実行される、
半導体装置の製造方法。

【請求項 2 2】 請求項 1 5 ないし請求項 2 1 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、

前記ステップ(a) は、

(a-1) 前記第 1 の半導体層を準備するステップと、

(a-2) 前記第 1 の半導体層の一方主面からエピタキシャル成長させて前記第 2 の半導体層を形成するステップとを含む、
半導体装置の製造方法。

【請求項 2 3】 請求項 1 5 ないし請求項 2 1 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、

前記ステップ(a) は、

(a-1) 前記第 2 の半導体層を準備するステップと、

(a-2) 前記第 2 の半導体層の裏面から第 1 の導電型の不純物を導入して、前記第 2 の半導体層の下層部に前記第 1 の半導体層を形成するステップとを含む、
半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は半導体装置、特に絶縁ゲートを有するバイポーラトランジスタを備える半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

モータ等を駆動するパワーエレクトロニクスでは、スイッチング素子として定格電圧が 3 0 0 V 以上の領域ではその特性から I G B T (Insulated Gate Bipolar Transistor) が主として用いられる。

【 0 0 0 3 】

図 2 7 は、従来のトレンチゲート型 I G B T (T I G B T) の構造を示した断面図である。同図に示すように、 P^+ 基板 3 1 上に N^+ バッファ層 3 2 が形成され、 N^+ バッファ層 3 2 上に N^- 層 3 3 が形成される。

【 0 0 0 4 】

N^- 層 3 3 の上層部には P ベース領域 3 5 が選択的に形成されており、さらに、P ベース領域 3 5 の表面内には N^+ エミッタ領域 3 6 が選択的に形成される。

Pベース領域35はP型の不純物を拡散することにより、 N^+ エミッタ領域36は高濃度のN型の不純物を拡散することにより形成することができる。

【0005】

N^+ エミッタ領域36に隣接し、かつPベース領域35を貫通して N^- 層33の上層部に達するように、溝37が形成され、溝37内壁上に形成されるゲート絶縁膜38を介して、溝37内にゲート電極39が埋め込まれて形成される。ゲート電極39はポリシリコンにより形成される。

【0006】

ゲート絶縁膜38を介してゲート電極39と対向するPベース領域35の領域がチャネル領域として規定される。 N^+ エミッタ領域36の表面の大部分及びゲート絶縁膜38上に層間絶縁膜40が形成され、 N^+ エミッタ領域36の表面の一部（上記大部分を除く部分）及びPベース領域35の表面上にエミッタ電極42が形成され、 P^+ 基板31の裏面にはコレクタ電極43が形成される。

【0007】

図28は発明者等が発案したキャリア蓄積型TIGBT（CSTBT:Carrier Stored Trench-gate Bipolar Transistor）の構造を示す断面図である。図28に示すように、 N^- 層33とPベース領域35間にN層34が形成されている点、図27で示したTIGBTと異なる。N層34は溝37の底部より浅い領域にキャリア蓄積のために設けられている。

【0008】

次に、図27及び図28で示したIGBT（TIGBT及びCSTBTの動作について説明する。

【0009】

図27及び図28で示した構造において、エミッタ電極42とコレクタ電極43との間に所定のコレクタ電圧 V_{CE} を設定し、エミッタ電極42とゲート電極39との間にオン状態となる所定のゲート電圧 V_{GE} を印加にすると、Pベース領域35におけるチャネル領域がN型に反転しチャネルが形成される。

【0010】

このチャネルを通じてエミッタ電極42から電子が N^- 層33（N層34）に

注入される。この注入された電子により P^+ 基板31と N^- 層33 (N^+ バッファ層32)との間が順バイアスされ、 P^+ 基板31からホールが注入され、 N^- 層33の抵抗値が大幅に下がり、IGBTの電流容量が向上する。このように、IGBTは P^+ 基板31からのホールの注入により N^- 層33の抵抗値を下げるができる。

【0011】

次に、IGBTのオン状態からオフ状態への動作について説明する。図27及び図28で示す構造において、エミッタ電極42とゲート電極39との間にオン状態で印加されたゲート電圧 V_{GE} を“0”または逆バイアスがかかるようにオフ状態に変化させる。

【0012】

すると、N型に反転したチャネル領域がP型に戻り、エミッタ電極42からの電子の注入も止まる。電子の注入の停止により P^+ 基板31からのホールの注入も停止する。その後、 N^- 層33 (N^+ バッファ層32)に溜まっていた電子とホールはそれぞれコレクタ電極43及びエミッタ電極42へ抜けていくか、または、互いに再結合して消滅する。

【0013】

図27で示すTIGBTの場合、平面ゲート型IGBTに比べて表面のMOS構造を約1/10程度に微細化できるため特性の向上を図ることができる。また、平面ゲート型IGBTで表面に隣接するセル間のPベース領域では含まれたN領域に電流がながれ、この領域での電圧降下が大きい。

【0014】

しかし、TIGBTでゲート電極39がPベース領域35を貫通して深さ方向に形成されることにより、電流経路にPベース領域35には含まれた N^- 層33が存在しなくなるため、動作特性の向上が図れる。

【0015】

図28で示しCSTBTではPベース領域35の下層にN層34が形成されているため、 P^+ 基板31からのホールがエミッタ電極42に到達するのを防ぐため、Pベース領域35下にホールが蓄積され、TIGBTよりさらにオン電圧を

低下させることができる。

【0016】

【発明が解決しようとする課題】

トレンチゲート構造のIGBTの場合、平面ゲート型に比べて1/10以上にシュリンクすることによりゲート数が増えるためゲート容量が増大する問題がある。この問題の解決策の一つとしてセルサイズを大きくしてゲート数を低減させる方法がある。しかしながら、この方法を採用するとTIGBTではオン電圧の上昇を招いてしまい、CSTBTではオン電圧の上昇は小さいが耐圧の低下を招いてしまうため、実用レベルの解決策とはならない。

【0017】

図29はTIGBTとCSTBTとにおける隣接する溝間のトレンチ間隔（溝間距離，対向する溝端部間の距離）とオン電圧との関係を示すグラフである。図30はTIGBTとCSTBTのトレンチ間隔と耐圧との関係を示すグラフである。図29及び図30において、曲線LTはTIGBTの特性を、曲線LCはCSTBTの特性をそれぞれ示している。

【0018】

なお、従来のTIGBT及びCSTBTのトレンチ間隔は3 μ mで設計していた。図29及び図30では、トレンチ間隔が約11 μ mまで示しており、トレンチ間隔が11 μ mの場合はセルサイズが従来の3倍になり、ゲート容量が1/3になる。

【0019】

図29において、曲線LCに示すように、CSTBTはトレンチ間隔を増大させてもオン電圧はあまり変化しないのに対し、曲線LTに示すようにTIGBTはトレンチ間隔の拡がりとともに無視できないレベルにオン電圧が上昇してしまう。

【0020】

図30において、曲線LTに示すように、トレンチ間隔を増大させてもTIGBTの耐圧はあまり低下しないのに対し、曲線LCに示すようにCSTBTではトレンチ間隔の拡がりとともに耐圧が急激に減少してしまい、特にトレンチ間隔

が5 μ mを越えると0Vに近くなる。

【0021】

このように、従来のTIGBT及びCSTBTでは、オン電圧の上昇または耐圧の低下が発生してしまいうため、ゲート容量を低下させるべくトレンチ間隔を拡げることができないという問題点があった。

【0022】

また、IGBT (TIGBT, CSTBT) 共通の問題として、N⁻層33 (図28のCSTBTではN層34)、Pベース領域35及びN⁺エミッタ領域36で形成される寄生バイポーラトランジスタ (BIP-Tr) が存在する問題点がある。

【0023】

この寄生BIP-Trが動作するとIGBTは制御不可能となり、IGBTは破壊されてしまう。CSTBTはTIGBTに比べてN層34を形成しているためPベース領域35近傍の抵抗値が大きくなり、TIGBTに比べると寄生BIP-Trが動作しやすい。

【0024】

また、特開平9-331063号公報等に上述したTIGBTにおける問題点の解決を図ったいくつかの構造が提案されている。

【0025】

図31はTIGBTの第1の改良構造を示す断面図である。図31で示すように、P⁺基板103上にN⁺バッファ層102、N⁻層101及びPベース領域104が形成され、Pベース領域104の表面に選択的にN⁺エミッタ領域105が形成され、N⁺エミッタ領域105の表面からN⁺エミッタ領域105、Pベース領域104を貫通して、N⁻層101にかけてゲートトレンチ70が形成される。ゲートトレンチ70はゲートトレンチ溝107A内に形成されるゲート絶縁膜107及びゲート電極108よりなる。

【0026】

ゲート電極108は側面及び上面を絶縁膜118で覆われ、ゲート電極108上に絶縁膜118を介してシリケートガラス膜119がさらに形成され、シリケ

ートガラス膜119の上の一部にCVD酸化膜120が形成される。

【0027】

また、ゲートトレンチ70、70間にエミッタトレンチ80が形成され、エミッタトレンチ80は N^+ エミッタ領域105が形成されていないPベース領域104の表面からPベース領域104を貫通して N^- 層101に到達するように形成される。エミッタトレンチ80はエミッタトレンチ溝80a内に形成されたエミッタ絶縁膜80b及びエミッタトレンチ電極80cからなる。

【0028】

エミッタ電極110は N^+ エミッタ領域105の一部上及びシリケートガラス膜119に形成されたコンタクトホール50を介してエミッタトレンチ電極80cの一部と電氣的に接続するようにPベース領域104上に形成され、コレクタ電極111は P^+ 基板103の裏面上に形成される。

【0029】

このような第1の改良構造は、図27で示したTIGBTに比べ、ゲートトレンチ70、70間にエミッタトレンチ80を設けた点が異なっている。この構造では、ゲート電極として機能するゲートトレンチ70、70間のトレンチ間隔を図27で示したTIGBTと同程度に設定することにより、ゲート容量は図27のTIGBTと同じにすることができる。

【0030】

第1の改良構造では、ゲートトレンチ70、70間にさらにエミッタトレンチ80を形成しているため、互いに隣接するゲートトレンチ70、エミッタトレンチ80間のトレンチ間隔（シリコンの残し幅） d_x が $0.2\mu m$ と現在の製造技術では実現が極めて困難な技術を開示している。

【0031】

図32はTIGBTの第2の改良構造を示す断面図である。同図に示すように、ゲートトレンチ70、70間に複数のエミッタトレンチ80が形成される。エミッタトレンチ80はエミッタ絶縁膜80b内にエミッタトレンチ電極80cが形成されている。

【0032】

エミッタトレンチ80, 80間のPベース領域104上全面にシリケートガラス膜110Aが形成されている。エミッタ電極110は全面に形成され、 N^+ エミッタ領域105の一部とゲートトレンチ70に隣接するPベース領域104及びエミッタトレンチ電極80c上に直接形成される。他の構成は図31で示した第1の改良構造と同様である。

【0033】

第2の改良構造では、ゲートトレンチ70, 70間に複数のエミッタトレンチ80を設けることにより、ゲートトレンチ70, 70間のトレンチ間隔を大きく設けることができるため、ゲート容量を上げることができる。

【0034】

しかしながら、コレクタ電極111から P^+ 基板103に注入されたホールはエミッタ電極110に電氣的に接続されたPベース領域104、すなわち、ゲートトレンチ70に隣接するPベース領域104のみを介してエミッタ電極110に抜けることになる。

【0035】

このため、図27のTIGBTのようPベース領域35をほぼ全面に拡げて形成した構造のようにコレクタ飽和電圧 $V_{CE(sat)}$ は単純に上昇せずに、エミッタ電極110に電氣的に接続されていないPベース領域104、すなわち、エミッタトレンチ80, 80間のPベース領域104の直下にホールを蓄積することができ、オン電圧の低減化が可能となる。

【0036】

ただし、エミッタ電極110と電氣的に接続されていないPベース領域104の存在は以下のような問題がある。IGBTのオフ過程では、ホールはエミッタ電極110に抜けることが必要であるが、Pベース領域104の大部分の領域がエミッタ電極110に電氣的に接続されていないため、ホールを十分にエミッタ電極110に抜くことが不可能となり、IGBTのオフ動作に悪影響を与えてしまう問題点があった。

【0037】

また、オフ過程で、エミッタ電極110に抜けるホールはエミッタ電極110

に電氣的に接続したPベース領域104を通過するため、図27で示したTIGBTに比べて寄生BIP-Trが動作しやすくなるという問題点があった。

【0038】

この発明は上記問題点を解決するためになされたもので、動作特性に悪影響を与えることなく、ゲート容量の増大を最小限に抑えた半導体装置及びその製造方法を得ることを目的とする。

【0039】

【課題を解決するための手段】

この発明に係る請求項1記載の半導体装置は、一方主面及び他方主面を有する、第1の導電型の第1の半導体層と、前記第1の半導体層の一方主面上に形成された第2の導電型の第2の半導体層と、前記第2の半導体層上に形成された第2の導電型の第3の半導体層と、前記第3の半導体層上に形成された第1の導電型の第4の半導体層と、前記第4の半導体層の表面から少なくとも前記第4の半導体層を貫通するように配列して形成される、第1の溝及び少なくとも一つの第2の溝と、前記第1の溝に隣接して前記第4の半導体層の表面内に選択的に形成された、第2の導電型の第1の半導体領域と、前記第1の溝の内壁上に形成された第1の絶縁膜と、前記第1の絶縁膜を介して前記第1の溝内に埋め込まれた制御電極とを備え、前記制御電極は前記少なくとも一つの第2の溝内には形成されず、前記第1の半導体領域の少なくとも一部と電氣的に接続し、かつ前記第4の半導体層の表面の略全面上に形成された第1の主電極と、前記第1の半導体層の他方主面上に形成された第2の主電極とを備える。

【0040】

また、請求項2の発明は、請求項1記載の半導体装置であって、前記第1の溝と前記少なくとも一つの第2の溝との溝間距離を5 μ m以下にしている。

【0041】

また、請求項3の発明は、請求項1記載の半導体装置であって、前記第1の溝は平面視所定方向に沿って形成される溝を含み、前記少なくとも一つの第2の溝は平面視前記所定方向に沿って形成される溝を含み、前記第1の半導体領域は、前記第1の溝近傍に形成される第1の部分領域と、前記第1の溝から離れる方向

に前記第 1 の部分領域から延長して形成される第 2 の部分領域とを含み、前記第 1 の主電極は前記第 2 の部分領域上に直接形成されることにより前記第 1 の半導体領域と電氣的に接続を行う。

【 0 0 4 2 】

また、請求項 4 の発明は、請求項 3 記載の半導体装置であって、前記第 1 の半導体領域は、前記第 2 の部分領域からさらに延長して、前記少なくとも一つの第 2 の溝の近傍に形成される第 3 の部分領域を含み、前記第 1 の主電極はさらに前記第 3 の部分領域上に直接形成されることにより前記第 1 の半導体領域と電氣的に接続を行う。

【 0 0 4 3 】

また、請求項 5 の発明は、請求項 4 記載の半導体装置であって、前記第 2 及び第 3 の部分領域はそれぞれ複数の第 2 及び第 3 の部分領域を含み、前記複数の第 3 の部分領域は前記少なくとも一つの第 2 の溝の近傍に選択的に形成される。

【 0 0 4 4 】

また、請求項 6 の発明は、請求項 1 ないし請求項 5 のうち、いずれか 1 項に記載の半導体装置であって、前記少なくとも一つの第 2 の溝に隣接して前記第 4 の半導体層の表面内に形成された、第 1 の導電型の第 2 の半導体領域をさらに備え、前記第 2 の半導体領域は前記第 4 の半導体層より第 1 の導電型の不純物濃度が高く設定される。

【 0 0 4 5 】

また、請求項 7 の発明は、請求項 6 記載の半導体装置であって、前記第 2 の半導体領域の第 1 の導電型の不純物濃度は、前記第 1 の半導体領域の第 2 の導電型の不純物濃度より高く設定される。

【 0 0 4 6 】

また、請求項 8 の発明は、請求項 1 ないし請求項 7 のうち、いずれか 1 項に記載の半導体装置であって、前記少なくとも一つの第 2 の溝は複数の第 2 の溝を含む。

【 0 0 4 7 】

また、請求項 9 の発明は、請求項 1 ないし請求項 7 のうち、いずれか 1 項に記

載の半導体装置であって、前記第 1 の溝及び前記少なくとも一つの第 2 の溝の形成深さは同一である。

【 0 0 4 8 】

また、請求項 1 0 の発明は、請求項 1 ないし請求項 7 のうち、いずれか 1 項に記載の半導体装置であって、前記第 1 の溝及び前記少なくとも一つの第 2 の溝の形成幅は同一である。

【 0 0 4 9 】

また、請求項 1 1 の発明は、請求項 1 ないし請求項 7 のうち、いずれか 1 項に記載の半導体装置であって、前記少なくとも一つの第 2 の溝の内壁上に形成される第 2 の絶縁膜をさらに備える。

【 0 0 5 0 】

また、請求項 1 2 の発明は、請求項 1 1 記載の半導体装置であって、前記第 2 の絶縁膜を介して前記少なくとも一つの第 2 の溝内に埋め込まれた導電領域をさらに備える。

【 0 0 5 1 】

また、請求項 1 3 の発明は、請求項 1 2 記載の半導体装置であって、前記第 1 の主電極は前記導電領域上に直接形成される。

【 0 0 5 2 】

また、請求項 1 4 の発明は、請求項 1 ないし請求項 1 3 のうち、いずれか 1 項に記載の半導体装置であって、前記第 1 の半導体層と前記第 2 の半導体層と間に形成される、第 2 の導電型の第 6 の半導体層をさらに備え、前記第 6 の半導体層の第 2 の導電型の不純物濃度は前記第 2 の半導体層よりも高く設定される。

【 0 0 5 3 】

この発明に係る請求項 1 5 記載に半導体装置の製造方法は、(a) 一方主面及び他方主面を有し第 1 の導電型の第 1 の半導体層と前記第 1 の半導体層の一方主面上に形成された第 2 の導電型の第 2 の半導体層とを含む基体を準備するステップと、(b) 前記第 2 の半導体層上に第 2 の導電型の第 3 の半導体層を形成するステップと、(c) 前記第 3 の半導体層上に第 1 の導電型の第 4 の半導体層を形成するステップと、(d) 前記第 4 の半導体層の表面内に第 2 の導電型の第 1 の半導体領

域を選択的に形成するステップと、(e) 前記第 4 の半導体層の表面から、少なくとも前記第 1 の半導体領域及び前記第 4 の半導体層を貫通するように第 1 の溝を選択的に形成するステップと、(f) 前記第 1 の溝の内壁上に第 1 の絶縁膜を形成するステップと、(g) 前記第 1 の絶縁膜を介して前記第 1 の溝内に埋め込んで制御電極を形成するステップと、(h) 前記第 4 の半導体層の表面から少なくとも前記第 4 の半導体層を貫通するように少なくとも一つの第 2 の溝を、前記第 1 の溝に隣接かつ離間して形成するステップと、(i) 前記第 1 の半導体領域の少なくとも一部と電氣的に接続し、かつ前記第 4 の半導体層の表面の略全面上に第 1 の主電極を形成するステップと、(j) 前記第 1 の半導体層の他方主面上に第 2 の主電極を形成するステップとを備えている。

【 0 0 5 4 】

また、請求項 1 6 の発明は、請求項 1 5 記載の半導体装置の製造方法であって、前記ステップ(e) 及びステップ(h) は、前記第 1 の溝と前記少なくとも一つの第 2 の溝の溝間距離が $5 \mu\text{m}$ 以下になるように実行される。

【 0 0 5 5 】

また、請求項 1 7 の発明は、請求項 1 5 記載の半導体装置の製造方法であって、前記ステップ(e) は平面視所定方向に沿って前記第 1 の溝を形成するステップを含み、前記ステップ(h) は平面視前記所定方向に沿って前記少なくとも一つの第 2 の溝を形成するステップを含み、前記ステップ(d) 及び(e) 実行後の前記第 1 の半導体領域は、前記第 1 の溝近傍に形成される第 1 の部分領域と、前記第 1 の溝から離れる方向に前記第 1 の部分領域から延長して形成される第 2 の部分領域とを含み、前記ステップ(i) は、前記第 2 の部分領域上に直接前記第 1 の主電極を形成するステップを含む。

【 0 0 5 6 】

また、請求項 1 8 の発明は、請求項 1 5 あるいは請求項 1 6 記載の半導体装置の製造方法であって、(k) 前記第 4 の半導体層の表面内に、第 1 の導電型の第 2 の半導体領域を形成するステップさらに備え、前記第 2 の半導体領域は前記第 4 の半導体層より第 1 の導電型の不純物濃度が高く設定される。

【 0 0 5 7 】

また、請求項 1 9 の発明は、請求項 1 5 ないし請求項 1 8 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、前記ステップ(e) 及び前記ステップ(h) は同時に実行される。

【 0 0 5 8 】

また、請求項 2 0 の発明は、請求項 1 5 ないし請求項 1 8 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、(l) 前記少なくとも一つの第 2 の溝の内壁に第 2 の絶縁膜を形成するステップをさらに備え、前記ステップ(f) 及び前記ステップ(l) は同時に実行される。

【 0 0 5 9 】

また、請求項 2 1 の発明は、請求項 2 0 記載の半導体装置の製造方法であって、(m) 前記第 2 の絶縁膜を介して前記少なくとも一つの第 2 の溝内に導電領域を埋め込むステップをさらに備え、前記ステップ(g) 及び前記ステップ(m) は同時に実行される。

【 0 0 6 0 】

また、請求項 2 2 の発明は、請求項 1 5 ないし請求項 2 1 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、前記ステップ(a) は、(a-1) 前記第 1 の半導体層を準備するステップと、(a-2) 前記第 1 の半導体層の一方主面からエピタキシャル成長させて前記第 2 の半導体層を形成するステップとを含む。

【 0 0 6 1 】

さらに、請求項また、請求項 2 3 の発明は、請求項 1 5 ないし請求項 2 1 のうち、いずれか 1 項に記載の半導体装置の製造方法であって、前記ステップ(a) は、(a-1) 前記第 2 の半導体層を準備するステップと、(a-2) 前記第 2 の半導体層の裏面から第 1 の導電型の不純物を導入して、前記第 2 の半導体層の下層部に前記第 1 の半導体層を形成するステップとを含む。

【 0 0 6 2 】

【発明の実施の形態】

<実施の形態 1>

(基本態様)

図 1 はこの発明の実施の形態 1 である C S T B T の構造を示す断面図である。

同図に示すように、 P^+ 基板 1 上に N^+ バッファ層 2 が形成され、 N^+ バッファ層 2 上に N^- 層 3 が形成される。

【0063】

N^- 層 3 の上層部には N 層 4 を介して P ベース層 5 が選択的に形成されており、さらに、 P ベース層 5 の表面内には N^+ エミッタ領域 6 が選択的に形成される。 P ベース層 5 は P 型の不純物を拡散することにより、 N^+ エミッタ領域 6 は高濃度の N 型の不純物を拡散することによりそれぞれ形成することができる。

【0064】

N^+ エミッタ領域 6 に隣接し、かつ P ベース層 5 及び N 層 4 を貫通して N^- 層 3 の上層部に達するように、第 1 の溝 7 が形成され、第 1 の溝 7 内にゲート絶縁膜 8 を介してゲート電極 9 が形成される。ゲート電極 9 はポリシリコンにより形成される。ゲート絶縁膜 8 を介してゲート電極 9 と対向する P ベース層 5 の領域がチャネル領域として規定される。

【0065】

第 1 の溝 7、7 間に所定数（図 1 では 2 個）の第 2 の溝 11 が形成される。第 2 の溝 11 は P ベース層 5 及び N 層 4 を貫通して N^- 層 3 の上層部に達するように形成され。第 2 の溝 11 内に絶縁膜 14 を介してポリシリコン領域 15 が形成される。第 2 の溝 11 は、近傍領域に N^+ エミッタ領域 6 が形成されていない点、内部にゲート電極 9 が形成されない点が第 1 の溝 7 と異なる。

【0066】

なお、互いに隣接（し、かつ離間）する第 1 の溝 7 及び第 2 の溝 11 間のトレンチ間隔は、図 27 及び図 28 で説明した溝 37、37 間のトレンチ間隔と同程度に設定される。すなわち、耐圧が低下しない範囲の距離に設定される。

【0067】

N^+ エミッタ領域 6 の表面の大部分及びゲート絶縁膜 8 上に層間絶縁膜 10 が形成され、 N^+ エミッタ領域 6 の表面の一部（上記大部分を除く部分）、 P ベース層 5 及び第 2 の溝 11（絶縁膜 14 及びポリシリコン領域 15）の表面上にエミッタ電極 12 が形成され、 P^+ 基板 1 の裏面にはコレクタ電極 13 が形成される。

【0068】

すなわち、コレクタ電極13はPベース層5の表面の略全面上に直接形成される。ここで、Pベース層5の表面の略全面とは、第1の溝7及び第2の溝11間のPベース層5の表面は勿論、第2の溝11、11間の第1の溝7の表面を含むことを意味する。

【0069】

このような構造の実施の形態1において、エミッタ電極12とコレクタ電極13との間に所定のコレクタ電圧VCEを設定し、エミッタ電極12とゲート電極9との間にオン状態となる所定のゲート電圧VGEを印加にすると、Pベース層5におけるチャネル領域がN型に反転しチャネルが形成される。

【0070】

このチャネルを通じてエミッタ電極12から電子がN⁻層3に注入される。この注入された電子によりP⁺基板1とN⁻層3（N⁺バッファ層2）との間が順バイアスされ、P⁺基板1からホールが注入され、N⁻層3の抵抗値が大幅に下がり、IGBTの電流容量が向上する。このように、IGBTはP⁺基板1からのホールの注入によりN⁻層3の抵抗値を下げるができる。

【0071】

さらに、CSTBTである実施の形態1では、Pベース層5下にN層4を形成されることにより、P⁺基板1からのホールがエミッタ電極12に到達するのを防ぐため、Pベース層5下にホールが蓄積され、図27で示したTIGBTよりオン電圧が低下させることができる。

【0072】

次に、IGBTのオン状態からオフ状態への動作について説明する。エミッタ電極12とゲート電極9との間にオン状態で印加されたゲート電圧VGEを“0”または逆バイアスがかかるようにオフ状態に変化させる。

【0073】

すると、N型に反転したチャネル領域がP型に戻り、エミッタ電極12からの電子の注入も止まる。電子の注入の停止によりP⁺基板1からのホールの注入も停止する。その後、N⁻層3（N⁺バッファ層2）に溜まっていた電子とホールは

それぞれコレクタ電極 13 及びエミッタ電極 12 へ抜けていくか、または、互いに再結合して消滅する。CSTBT の場合も N 層 4 の存在に関係なく空乏層が形成されるため、オフ特性は TIGBT と変わらない。

【0074】

このとき、P ベース層 5 の表面の略全面上にエミッタ電極 12 が形成されるため、オフ動作時にホールを十分にエミッタ電極 12 に抜くことができる、オフ動作の特性の向上を図ることができる。

【0075】

図 27 及び図 28 で示した構造の従来の TIGBT や CSTBT と比較した場合、ゲート電極 9 が第 1 の溝 7 が 3 本（第 1 の溝 7 + 第 2 の溝 11 の数）に 1 本の割合でしか形成されていないため、ゲートの容量を $1/3$ としてスイッチング動作の高速化を図ることができる。

【0076】

また、第 1 の溝 7、7 間に第 2 の溝 11 を設けることにより、互いに隣接する第 1 の溝 7、第 2 の溝 11 間のトレンチ間隔 t_0 は従来から変化しないため、耐圧が低下する恐れもない。また、CSTBT の場合、実動作に寄与する P ベース層 5（第 1 の溝 7 に隣接して形成される P ベース層 5）の間隔を広くしても、オン電圧の上昇は TIGBT より少なく、本実施の形態のように 3 倍セルサイズでも、従来の TIGBT よりオン電圧を低く抑えることができる。

【0077】

以下、本実施の形態の CSTBT についての効果を図 29 及び図 30 で示したシミュレーション結果から考察する。図 29 及び図 30 によする CSTBT は、従来の TIGBT の $4\mu\text{m}$ のセルサイズに N 層を形成した際に耐圧低下が起きない構造に設定しているため、トレンチ間隔が $3\mu\text{m}$ 以上になると耐圧の低下が急激に発生している。

【0078】

トレンチ間隔は W/P （ウェハプロセス）ルールで決まり、現状は $5\mu\text{m}$ 以下に設定するのが望ましい。この際、形成する溝（第 1 の溝 7、第 2 の溝 11）の本数と互いに隣接するトレンチ間隔を調整することにより、実使用に最も適した

溝とN層4との組合せ構造を有するCSTBTを得ることができる。

【0079】

また、溝自体の形成幅を第1の溝7と第2の溝11とで同じに設定することにより、製造時に溝の形成深さを同じにすることが容易に行うことができる。溝の形成深さが大きく異なると、形成深さがより深い溝の形成間隔によって耐圧が決定されてしまう恐れがあるため望ましくない。第1の溝7と第2の溝11との形成深さを同一にすることにより耐圧に関する設計マージンを増大させることができる。

【0080】

さらに、第2の溝11（絶縁膜14，ポリシリコン領域15）上には層間絶縁膜を形成することなく、直接エミッタ電極12を形成することができるため、層間絶縁膜とのマージンを考慮する必要がない分、第1の溝7と第2の溝11とのトレンチ間隔を小さくすることができる。

【0081】

（他の態様）

図2は実施の形態1のCSTBTの他の態様を示す断面図である。同図に示すように、 N^+ バッファ層2が省略され、その分、 N^- 層3の膜厚が厚くなっている。この態様では、後に詳述するが、 N^- 層3を製造開始層としてCSTBTを製造できる分、製造コストの低減を図ることができる効果を奏する。

【0082】

＜実施の形態2＞

（第1の態様）

図3はこの発明の実施の形態2であるCSTBTの第1の態様を示す平面図である。図4は図3のA-A断面を示す断面図であり、図5は図3のB-B断面を示す断面図である。

【0083】

図3に示すように、第1の溝7（ゲート絶縁膜8，ゲート電極9）が図中（平面視）縦方向に延びて形成される。同様に、第2の溝11（絶縁膜14，ポリシリコン領域15）も第1の溝7，7間に2本の割合で図中縦方向に延びて、図中

縦方向に形成される。

【0084】

N^+ エミッタ領域6は、第1の溝7に隣接してして形成される領域（第1の部分領域）と、第1の溝7に隣接する第2の溝11に向かって第1の溝7の形成方向と垂直方向に延びる複数のエミッタ延長領域6a（第2の部分領域）とを有している。

【0085】

これらの図に示すように、エミッタ延長領域6aの一部を除く N^+ エミッタ領域6上は層間絶縁膜19で完全に覆われており、図5に示すように、エミッタ延長領域6aの一部のみ上にエミッタ電極12が直接形成されることにより、 N^+ エミッタ領域6とエミッタ電極12との電氣的接続が行われている。なお、他の構成は図1で示した実施の形態1の基本構成と同様であるため、説明を省略する。

【0086】

実施の形態2の第1の態様は、エミッタ延長領域6aの一部とエミッタ電極12とが接触することにより、 N^+ エミッタ領域6とエミッタ電極12とが電氣的に接続される構成を採るため、寄生B I P - T rの動作を抑制することができる。

【0087】

C S T B Tの動作を考えると、エミッタ電極12より電子電流が流れる場合、エミッタ電極12と接したエミッタ延長領域6aの一部から第1の溝7に沿って平面方向に流れた後、第1の溝7近傍の N^+ エミッタ領域6を通過してエミッタ電流が流れる。このため、エミッタ電流によって N^+ エミッタ領域6内に電圧降下が生じる。

【0088】

この N^+ エミッタ領域6での電圧降下は N^+ エミッタ領域6を流れる電流量の増加とともに大きくなる。すなわち、 N^+ エミッタ領域6内で大電流が流れる領域では高い電圧が発生し、この電圧は N^+ エミッタ領域6を流れる電流を抑制する。以上のメカニズムでC S T B T全体を流れるエミッタ電流が均一となり、大電

流が流れにくくすることにより寄生BIP-Trのオン動作を抑制することができる。

【0089】

一方、図1で示した実施の形態1の基本構成では、図27及び図28で示した従来のTIGBT及びCSTBTに比較して、ゲート電極9、及び N^+ エミッタ領域6の形成領域を小さくしているので、上記したメカニズムが効率的に機能しにくく、エミッタ電流の不均一が生じやすい構造となっている。

【0090】

これと比較して、実施の形態2の第1の態様は、エミッタ延長領域6aの一部に上にエミッタ電極12を直接形成することにより、平面方向でのエミッタ電流経路を形成できる分、エミッタ電流が均一に流れ易い構造にしているため、実施の形態1に比べて上記したメカニズムが効率的に働くため、寄生BIP-Trのオン動作を効果的に抑制することができる。

【0091】

(第2の態様)

図6はこの発明の実施の形態2であるCSTBTの第2の態様を示す平面図である。図7は図6のA-A断面を示す断面図である。また、図8の図6のB-B断面は示す断面図である。

【0092】

図6に示すように、 N^+ エミッタ領域6は隣接する第2の溝11に向かって、第1の溝7の形成方向と垂直方向に延びる領域(第2の部分領域)と、第2の部分領域からさらに延びて第2の溝11に隣接して形成される領域(第3の部分領域)とからなるエミッタ延長領域6bを有している。

【0093】

これらの図に示すように、エミッタ延長領域6bの大部分を除く N^+ エミッタ領域6上に完全に覆って層間絶縁膜19が形成されており、図8に示すように、エミッタ延長領域6bの大部分のみ上にエミッタ電極12が直接形成されることにより N^+ エミッタ領域6とエミッタ電極12との電氣的接続を図っている。他の構成は図3～図5で示した第1の態様と同様であるため、説明を省略する。

【0094】

第2の態様のエミッタ延長領域6bは第1の態様のエミッタ延長領域6aと比較して、第2の溝11に隣接してさらに形成されている第3の部分領域を有する点異なる。すなわち、エミッタ延長領域6bの方がエミッタ延長領域6aよりもエミッタ電極12との電氣的に接続を行うコンタクト面積を広くとることができる。

【0095】

その結果、エミッタ電極12と N^+ エミッタ領域6とのコンタクト抵抗を低く抑えることができるため、オン電圧を低くすることができる効果を奏する。また、仮にオン電圧が低くならない場合でも、エミッタ電極12と N^+ エミッタ領域6とのコンタクト抵抗のバラツキを抑えることができる。加えて、図1で示した実施の形態1に比べて上記メカニズムが有効に機能するため、優れた寄生BIP- T_r の抑制機能を有している。

【0096】

(第3の態様)

図9はこの発明の実施の形態2であるCSTBTの第3の態様を示す平面図である。なお、図9のA-A断面は図4と同様であり、図9のB-B断面はエミッタ延長領域6aをエミッタ延長領域6cに置き換えた点を除き図5と同様であり、図9のC-C断面はエミッタ延長領域6bをエミッタ延長領域6cに置き換えた点を除き図7と同様である。

【0097】

図9に示すように、 N^+ エミッタ領域6は隣接する第2の溝11に向かって第1の溝7の形成方向と垂直方向に延びる領域(第2の部分領域)と、第2の部分領域から第2の溝11に隣接して一部延びて形成される領域(第3の部分領域)とからなる複数のエミッタ延長領域6cを有している。

【0098】

第3の態様は、エミッタ延長領域6cの大部分を除く N^+ エミッタ領域6上を完全に覆って層間絶縁膜19が形成されており、エミッタ延長領域6cの大部分のみ上にエミッタ電極12が直接形成される。他の構成は図3～図5で示した第

1 の態様と同様であるため、説明を省略する。

【 0 0 9 9 】

第 3 の態様のエミッタ延長領域 6 c は第 1 の態様のエミッタ延長領域 6 a と比較して、第 2 の溝 1 1 に隣接してさらに一部形成されている領域（第 3 の部分領域）を有する点が異なる。すなわち、エミッタ延長領域 6 c の方がエミッタ延長領域 6 a よりもエミッタ電極 1 2 との電氣的に接続を行うコンタクト面積を広くとることができるため、エミッタ電極 1 2 と N^+ エミッタ領域 6 とのコンタクト抵抗の低減化を図ることができる。

【 0 1 0 0 】

また、第 3 の態様のエミッタ延長領域 6 c は第 2 の態様のエミッタ延長領域 6 b と比較して、第 2 の溝 1 1 に隣接する領域（第 3 の部分領域）を狭く抑えることにより、P ベース層 5 とエミッタ電極 1 2 との電氣的に接続を行うコンタクト面積を広くとれる分、エミッタ電極 1 2 にホールを流し出すことができ、寄生 B I P - T r がオン動作を抑制することができる利点を有する。

【 0 1 0 1 】

すなわち、第 3 の態様は、寄生 B I P - T r の動作抑制とエミッタ電極 1 2 と N^+ エミッタ領域 6 とのコンタクト抵抗の低減化をバランス良く行うことができる。

【 0 1 0 2 】

なお、寄生 B I P - T r の動作抑制とエミッタ電極 1 2 と N^+ エミッタ領域 6 とのコンタクト抵抗の低減化を考慮して、上述した第 1 ～第 3 の態様それぞれの構造をより最適化することにより、実使用に最適な N^+ エミッタ領域 6 の構造を有することが可能となる。

【 0 1 0 3 】

< 実施の形態 3 >

（第 1 の態様）

図 1 0 はこの発明の実施の形態 3 である C S T B T の第 1 の態様の構造を示す断面図である。同図に示すように、エミッタ電極 1 2 とのコンタクト面となる P ベース層 5 の表面内に P^+ 拡散領域 1 6 が形成されている。他の構成は図 1 で示

した実施の形態 1 の基本構成と同様であるため、説明は省略する。

【 0 1 0 4 】

実施の形態 3 の第 1 の態様の基本動作は実施の形態 1 と同様であるが、実施の形態 2 の CSTBT と同様に、実施の形態 1 の CSTBT より寄生 BIP- T_r が動作しにくいという効果を奏している。

【 0 1 0 5 】

すなわち、 P^+ 拡散領域 16 を形成することにより、 P^+ 基板 1 より注入されたホールを P^+ 拡散領域 16 を通してエミッタ電極 12 に流し込むことが可能となり、エミッタ電極 12 と P^+ 拡散領域 16 との間のコンタクト抵抗を下げることで、寄生 BIP- T_r 動作を抑制することができる。

【 0 1 0 6 】

(第 2 の態様)

図 11 は実施の形態 3 の第 2 の態様の構造を示す断面図である。同図に示すように、エミッタ電極 12 とのコンタクト面となる P ベース層 5 の表面内に P^+ 拡散領域 17 が形成されている。

【 0 1 0 7 】

P^+ 拡散領域 17 の P 型の不純物濃度は N^+ エミッタ領域 6 の N 型の不純物濃度より高く設定している。このため、 N^+ エミッタ領域 6 のサイド拡散による N^+ エミッタ領域 6 の形成面積の増加を抑制することができ、装置の微細化を図ることができる。

【 0 1 0 8 】

その結果、第 2 の態様は、互いに隣接する溝（第 1 の溝 7，第 2 の溝 11）間のトレンチ間隔は第 1 の態様のトレンチ間隔 t_1 より狭いトレンチ間隔 t_2 で済ますことができ、セルサイズを縮小することができ、さらに設計マージンを大きくすることができる。

【 0 1 0 9 】

<実施の形態 4>

図 12～図 20 はこの発明の実施の形態 4 である CSTBT の製造方法を示す断面図である。なお、実施の形態 4 の製造方法は図 1 で示した CSTBT と等価

な構造を製造する工程を示している。

【0 1 1 0】

まず、図 1 2 に示すように、 N^- 層 3 となる N 型シリコンを有する基体 2 3 を準備する。なお、基体 2 3 は図 1 で示した P^+ 基板 1、 N^+ バッファ層 2 及び N^- 層 3 を含む構成を意味する。ここでは、説明の都合上、 N^- 層 3 に相当する領域のみ示している。

【0 1 1 1】

次に、図 1 3 に示すように、基体 2 3 の表面から N 型不純物を全面に注入した後、拡散することにより基体 2 3 の上層部に N 層 4 を形成する。

【0 1 1 2】

そして、図 1 4 に示すように、N 層 4 の表面から P 型不純物を全面に注入した後、拡散することにより、N 層 4 の上層部に P ベース層 5 を形成する。

【0 1 1 3】

次に、図 1 5 に示すように、P ベース層 5 の表面から N 型不純物を選択的に注入した後、拡散することにより N^+ エミッタ領域 6 を形成する。

【0 1 1 4】

そして、図 1 6 に示すように、 N^+ エミッタ領域 6 の中心部、P ベース層 5、及び N 層 4 貫通して基体 2 3 の上層部にかけて第 1 の溝 7 を形成するとともに、 N^+ エミッタ領域 6 が形成されていない P ベース層 5 及び N 層 4 を貫通して第 2 の溝 1 1 を形成する。この際、第 1 の溝 7 と第 2 の溝 1 1 を隣接、かつ離間させて同じ形成幅で形成することにより、容易に同じ深さで形成することができる。このように、第 1 の溝 7 と第 2 の溝 1 1 とを同時に形成することにより、効率的な製造が可能となる。

【0 1 1 5】

その後、図 1 7 に示すように、第 1 の溝 7 及び第 2 の溝 1 1 の内壁面を含む全面に絶縁膜 1 8 を形成する。

【0 1 1 6】

そして、図 1 8 に示すように、全面に導電体であるポリシリコンを堆積した後、エッチング処理を施すことにより、第 1 の溝 7 内にゲート電極 9 を、第 2 の溝

11内にポリシリコン領域15をそれぞれ同時に形成する。このように、ゲート電極9及びポリシリコン領域15を同一材料で同時に形成することにより、ゲート電極9及びポリシリコン領域15を効率的に形成することができる。

【0117】

その後、図19に示すように、全面に絶縁膜を形成後に選択的にエッチング処理を行い、第1の溝7及び N^+ エミッタ領域6上の大部分の領域上にのみ層間絶縁膜10を形成する。

【0118】

この際、ゲート絶縁膜8及び絶縁膜14が完成される。このように、図17及び図19で示す工程によってゲート絶縁膜8及び絶縁膜14を同時に形成することにより、ゲート絶縁膜8及び絶縁膜14を効率的に形成することができる。

【0119】

次に、図20に示すように、全面(N^+ エミッタ領域6の表面を含む)にエミッタ電極12を形成する。したがって、エミッタ電極12は N^+ エミッタ領域6の一部及びPベース層5の表面の略全面上に直接形成される。

【0120】

そして、図示しないが、基体23の裏面にコレクタ電極を形成することにより、実施の形態1の基本構成のCSTBTが完成する。

【0121】

なお、実施の形態1の他の態様で示す構造を得る場合、基体23は P^+ 基板1及び N^- 層3からなる構成とすればよい。

【0122】

なお、実施の形態2の第1～第3の態様で示す構造を得る場合、例えば図18で示す工程時に、第1～第3の態様に対応する N^+ エミッタ領域6を形成し、図19で示す工程で層間絶縁膜10に代えて層間絶縁膜19を形成すれば良い。第2及び第3の態様の場合、図19で示す工程時にエミッタ延長領域6b及び6cの一部に隣接して第2の溝11を形成することになる。

【0123】

また、実施の形態3の第1及び第2の態様で示す構造を得る場合、例えば図1

8で示す工程と図19で示す工程との間に、 P^+ 拡散領域16及び P^+ 拡散領域17を形成する工程を挿入すれば良い。

【0124】

<実施の形態5>

図21～図23は、図12で示した基体23を製造する方法を示す説明図である。

【0125】

まず、図21に示すように、P型シリコン基板等の P^+ 基板1を準備する。

【0126】

そして、図22に示すように、 P^+ 基板1の裏面（図では上部）に例えばエピタキシャル成長によって N^- 層3となるN型シリコン層を形成する。その結果、 P^+ 基板1及び N^- 層3からなる基体23を得ることができる。

【0127】

その後、図12～図20で示した実施の形態4の工程を経て、 N^- 層3の上層部にIGBTのセルを形成し、その後、 P^+ 基板1の裏面（図では上部）にコレクタ電極を形成して、TIGBTを完成する（図示せず）ことができる。

【0128】

なお、図21の工程後、図23に示すように、 P^+ 基板1の裏面（図では上部）にエピタキシャル成長等によって N^+ バッファ層2及び N^- 層3を順次形成することにより、 P^+ 基板1、 N^+ バッファ層2及び N^- 層3からなる基体23を得ることができる。

【0129】

このように、実施の形態5では、エピタキシャル成長により N^- 層3を形成したため、 N^- 層3の不純物濃度、膜厚を制御性良く形成することができる。

【0130】

<実施の形態6>

図24及び図25は、図2で示した構造と等価なCSTBTを得るためのシリコン基板の製造方法を示す断面図である。

【0131】

まず、図 2 4 に示すように、 N^- 層 3 を準備する。

【 0 1 3 2 】

そして、図 2 5 に示すように、 N^- 層 3 の裏面に P 型不純物を注入後拡散する等により P^+ 基板 1 となる P 型シリコン層 2 1 を得る。その結果、 N^- 層 3 及び P 型シリコン層 2 1 よりなる基体 2 3 を得ることができる。

【 0 1 3 3 】

その後、図 1 2 ～図 2 0 で示した実施の形態 4 の工程を経て、 N^- 層 3 の上層部に I G B T のセルを形成し、その後、P 型シリコン層 2 1 の裏面にコレクタ電極を形成して、T I G B T を完成する（図示せず）。

【 0 1 3 4 】

なお、図 2 4，図 2 5 で示す工程は、図 1 2 ～図 2 0 で示した実施の形態 4 の工程を途中に挿入することも可能である。

【 0 1 3 5 】

また、図 2 5 の工程後、図 2 6 に示すように、基体 2 3 の裏面から浅く N 型不純物を注入した後拡散処理をすることにより、基体 2 3 の下層に N^+ バッファ層 2 を形成した後、P 型シリコン層 2 1 を形成することにより、P 型シリコン層 2 1、 N^+ バッファ層 2 及び N^- 層 3 からなる基体 2 3 を得ることができる。

【 0 1 3 6 】

<その他>

なお、上記実施の形態 1 ～実施の形態 6 では、N M O S 構造の I G B T（C S T B T）について述べたが、P M O S 構造の I G B T についても適用可能であることは勿論である。

【 0 1 3 7 】

【発明の効果】

以上説明したように、この発明における請求項 1 記載の半導体装置は、制御電極を内部に有する第 1 の溝と制御電極を内部に有しない少なくとも一つの第 2 の溝とを混在して形成することにより、制御電極に付随する容量を小さくすることができる。

【 0 1 3 8 】

この際、十分な耐圧が維持できる程度に、第1の溝及び少なくとも一つの第2の溝間の溝間距離を設定することにより、耐圧の低下も十分抑制することができる。加えて、第3の半導体層の存在によりオン電圧の上昇も十分に抑制することができる。

【 0 1 3 9 】

さらに、第4の半導体層の表面の略全面上に第1の主電極が形成されるため、第4の半導体層と第1の主電極との間にキャリアを良好に流すことができ、動作特性の向上を図ることができる。

【 0 1 4 0 】

その結果、請求項1記載の半導体装置は、オン電圧、耐圧等を含む動作特性に悪影響を与えることなく、制御電極に付随する容量の増大を最小限に抑えることができる。

【 0 1 4 1 】

請求項2記載の半導体装置は、第1の溝及び少なくとも一つの第2の溝間の溝間距離を $5\mu\text{m}$ 以下にすることにより十分な耐圧を維持することができる。

【 0 1 4 2 】

請求項3記載の半導体装置の第1の主電極は、第2の部分領域上に直接形成されることにより第1の半導体領域と電気的に接続を行うため、第1の半導体領域、第4の半導体層及び第3の半導体層よりなる寄生バイポーラトランジスタが動作するのを効果的に抑制することができる。

【 0 1 4 3 】

請求項4記載の半導体装置の第1の主電極は、さらに第3の部分領域上に直接形成されることにより電気的に接続を行うため、第1の主電極と第1の半導体領域とのコンタクト抵抗をより低くすることができる。

【 0 1 4 4 】

請求項5記載の半導体装置の複数の第3の部分領域は少なくとも一つの第2の溝の近傍に選択的に形成されるため、上記寄生バイポーラトランジスタの動作抑制と上記コンタクト抵抗の低減化をバランス良く行うことができる。

【 0 1 4 5 】

請求項 6 記載の半導体装置の第 4 の半導体層より第 1 の導電型の不純物濃度が高い第 2 の半導体領域によって、第 4 の半導体層と第 1 の主電極との間のコンタクト抵抗を低くすることができるため、上記寄生バイポーラトランジスタの動作を抑制することができる。

【 0 1 4 6 】

請求項 7 記載の半導体装置の第 2 の半導体領域の第 1 の導電型の不純物濃度は、第 1 の半導体領域の第 2 の導電型の不純物濃度より高く設定されるため、第 1 の半導体領域の形成時にその拡散度合を抑制することができる分、装置の微細化を図ることができる。

【 0 1 4 7 】

請求項 8 記載の半導体装置において、一の第 1 の溝に対して複数の第 2 の溝が配列されるため、この配列を繰り返して形成することにより、2 つの第 1 の溝間に複数の第 2 の溝が配置されるように設けることができるため、第 1 の溝間における溝間距離に関する設計マージンの増大を図ることができる。

【 0 1 4 8 】

請求項 9 記載の半導体装置は、第 1 の溝及び少なくとも一つの第 2 の溝の形成深さを同一にすることにより、耐圧に関する設計マージンを増大させることができる。

【 0 1 4 9 】

請求項 1 0 記載の半導体装置は、第 1 の溝及び少なくとも一つの第 2 の溝の形成幅を同一にすることにより、第 1 の溝及び少なくとも一つの第 2 の溝を同時に形成する際、容易に第 1 の溝及び少なくとも一つの第 2 の溝を同じ深さで形成することができる。

【 0 1 5 0 】

請求項 1 1 記載の半導体装置は、少なくとも一つの第 2 の溝の内壁上に第 2 の絶縁膜が形成されるため、第 1 及び第 2 の絶縁膜を同時に形成すれば、第 1 及び第 2 の絶縁膜を第 1 の溝及び少なくとも一つの第 2 の溝の内壁上にそれぞれ効率的に形成することができる。

【 0 1 5 1 】

請求項 1 2 記載の半導体装置は、第 2 の絶縁膜を介して少なくとも一つの第 2 の溝内に埋め込まれた導電領域をさらに備えるため、制御電極と導電領域を同一材質で同時に形成すれば、制御電極及び導電領域を第 1 の溝及び少なくとも一つの第 2 の溝内にそれぞれ効率的に形成することができる。

【 0 1 5 2 】

請求項 1 3 記載の半導体装置の第 1 の主電極は導電領域上に直接形成されるため、電極領域及びその近傍上を覆う絶縁膜等のマージンを考慮する必要がない分、第 1 の溝及び少なくとも一つの第 2 の溝間の溝間距離を小さくすることができる。

【 0 1 5 3 】

請求項 1 4 記載の半導体装置は、第 2 の導電型の不純物濃度が第 2 の半導体層より高い第 6 の半導体層の存在により、第 2 の半導体層の厚みを薄く形成できる分、オン電圧の低下等、動作特性の向上を図ることができる。

【 0 1 5 4 】

この発明における請求項 1 5 記載の半導体装置の製造方法で製造される半導体装置は、制御電極を内部に有する第 1 の溝と制御電極を内部に有しない少なくとも一つの第 2 の溝とを混在して形成することにより、制御電極に付随する容量を小さくすることができる。

【 0 1 5 5 】

この際、第 1 の溝及び少なくとも一つの第 2 の溝間の溝間距離が十分な耐圧が維持できる程度になるようにステップ(e) 及びステップ(h)を実行することにより、耐圧の低下も十分抑制することができる。加えて、ステップ(c) で形成される第 3 の半導体層の存在によりオン電圧の上昇も十分に抑制することができる。

【 0 1 5 6 】

さらに、ステップ(i) で、第 4 の半導体層の表面の略全面上に第 1 の主電極が形成することにより、第 4 の半導体層と第 1 の主電極との間にキャリアを良好に流すことができるため、動作特性の向上を図ることができる。

【 0 1 5 7 】

その結果、請求項 1 5 記載の半導体装置の製造方法は、オン電圧、耐圧等の動

作特性に悪影響を与えることなく、制御電極に付随する容量の増大を最小限に抑えることができる半導体装置を製造することができる。

【 0 1 5 8 】

請求項 1 6 記載の半導体装置の製造方法で製造される半導体装置は、第 1 の溝及び少なくとも一つの第 2 の溝間の溝間距離を $5\ \mu\text{m}$ 以下にすることにより十分な耐圧を維持することができる。

【 0 1 5 9 】

請求項 1 7 記載の半導体装置の製造方法はステップ(i)において、第 2 の部分領域上に直接第 1 の主電極を形成して、第 1 の主電極と第 1 の半導体領域との電氣的に接続を行うため、第 1 の半導体領域の第 2 の部分領域の存在により第 1 の半導体領域、第 4 の半導体層及び第 3 の半導体層よりなる寄生バイポーラトランジスタが動作するのを効果的に抑制することができる。

【 0 1 6 0 】

請求項 1 8 記載の半導体装置の製造方法はステップ(k)において、第 4 の半導体層の表面内に、第 4 の半導体層より第 1 の導電型の不純物濃度が高い第 1 の導電型の第 2 の半導体領域を形成している。

【 0 1 6 1 】

したがって、第 2 の半導体領域によって、第 4 の半導体層と第 1 の主電極との間のコンタクト抵抗を低くすることができるため、上記寄生バイポーラトランジスタの動作を抑制することができる。

【 0 1 6 2 】

請求項 1 9 記載の半導体装置の製造方法は、ステップ(e) 及びステップ(h) を同時に実行することにより、第 1 の溝及び少なくとも一つの第 2 の溝を効率的に形成することができる。

【 0 1 6 3 】

請求項 2 0 記載の半導体装置の製造方法は、ステップ(f) 及びステップ(l)を同時に実行することにより、第 1 の溝及び少なくとも一つの第 2 の溝の内壁上に第 1 及び第 2 の絶縁膜を効率的に形成することができる。

【 0 1 6 4 】

請求項 2 1 記載の半導体装置の製造方法は、ステップ(g) 及びステップ(m)を同時に実行することにより、第 1 の溝及び少なくとも一つの第 2 の溝の内に制御電極及び導電領域を効率的に形成することができる。

【 0 1 6 5 】

請求項 2 2 記載の半導体装置の製造方法はステップ(a-2) において、エピタキシャル成長により第 2 の半導体層を形成したため、第 2 の半導体層の不純物濃度、膜厚を制御性良く形成することができる。

【 0 1 6 6 】

請求項 2 3 記載の半導体装置の製造方法はステップ(a-2) において、第 2 の半導体層の裏面から第 1 の導電型の不純物を導入して第 1 の半導体層を形成したため、比較的安価に製造することができる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 である C S T B T の構造を示す断面図である。

【図 2】 実施の形態 1 の C S T B T の他の態様を示す断面図である。

【図 3】 実施の形態 2 である C S T B T の第 1 の態様を示す平面図である。

【図 4】 図 3 の A - A 断面を示す断面図である。

【図 5】 図 3 の B - B 断面を示す断面図である。

【図 6】 実施の形態 2 である C S T B T の第 2 の態様を示す平面図である。

【図 7】 図 6 の A - A 断面を示す断面図である。

【図 8】 図 6 の B - B 断面を示す断面図である。

【図 9】 実施の形態 2 である C S T B T の第 3 の態様を示す平面図である。

【図 1 0】 実施の形態 3 である C S T B T の第 1 の態様の構造を示す断面図である。

【図 1 1】 実施の形態 3 の第 2 の態様の構造を示す断面図である。

【図 1 2】 この発明の実施の形態 4 である C S T B T の製造方法を示す断

面図である。

【図13】 実施の形態4のCSTBTの製造方法を示す断面図である。

【図14】 実施の形態4のCSTBTの製造方法を示す断面図である。

【図15】 実施の形態4のCSTBTの製造方法を示す断面図である。

【図16】 実施の形態4のCSTBTの製造方法を示す断面図である。

【図17】 実施の形態4のCSTBTの製造方法を示す断面図である。

【図18】 実施の形態4のCSTBTの製造方法を示す断面図である。

【図19】 実施の形態4のCSTBTの製造方法を示す断面図である。

【図20】 実施の形態4のCSTBTの製造方法を示す断面図である。

【図21】 実施の形態5のCSTBTの製造方法を示す断面図である。

【図22】 実施の形態5のCSTBTの製造方法を示す断面図である。

【図23】 実施の形態5のCSTBTの製造方法を示す断面図である。

【図24】 実施の形態6のCSTBTの製造方法を示す断面図である。

【図25】 実施の形態6のCSTBTの製造方法を示す断面図である。

【図26】 実施の形態6のCSTBTの製造方法を示す断面図である。

【図27】 従来のTIGBTの構造を示し断面図である。

【図28】 従来のCSTBTの構造を示す断面図である。

【図29】 TIGBTとCSTBTのトレンチ間隔とオン電圧との関係を示すグラフである。

【図30】 TIGBTとCSTBTのトレンチ間隔と耐圧との関係を示すグラフである。

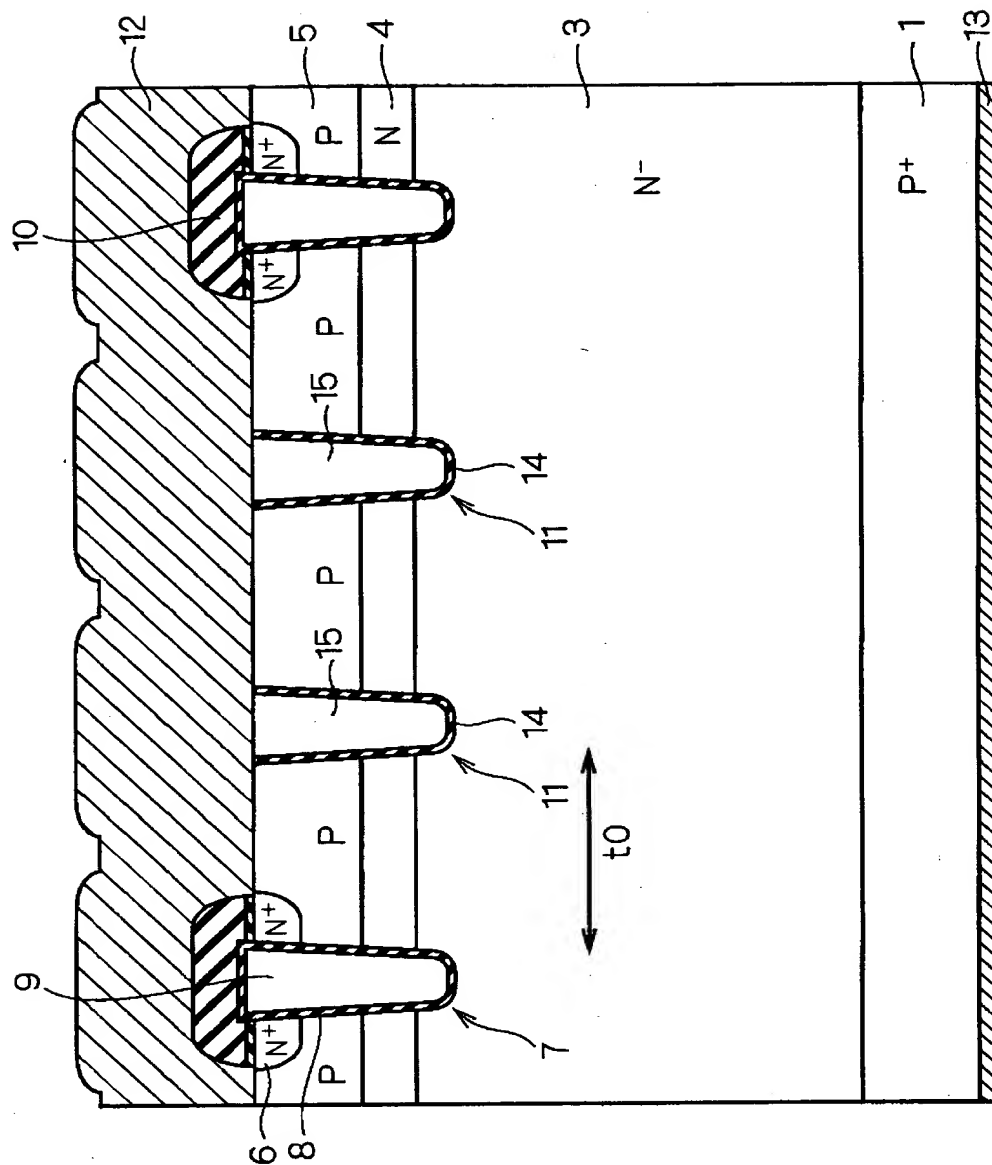
【図31】 TIGBTの第1の改良構造を示す断面図である。

【図32】 TIGBTの第2の改良構造を示す断面図である。

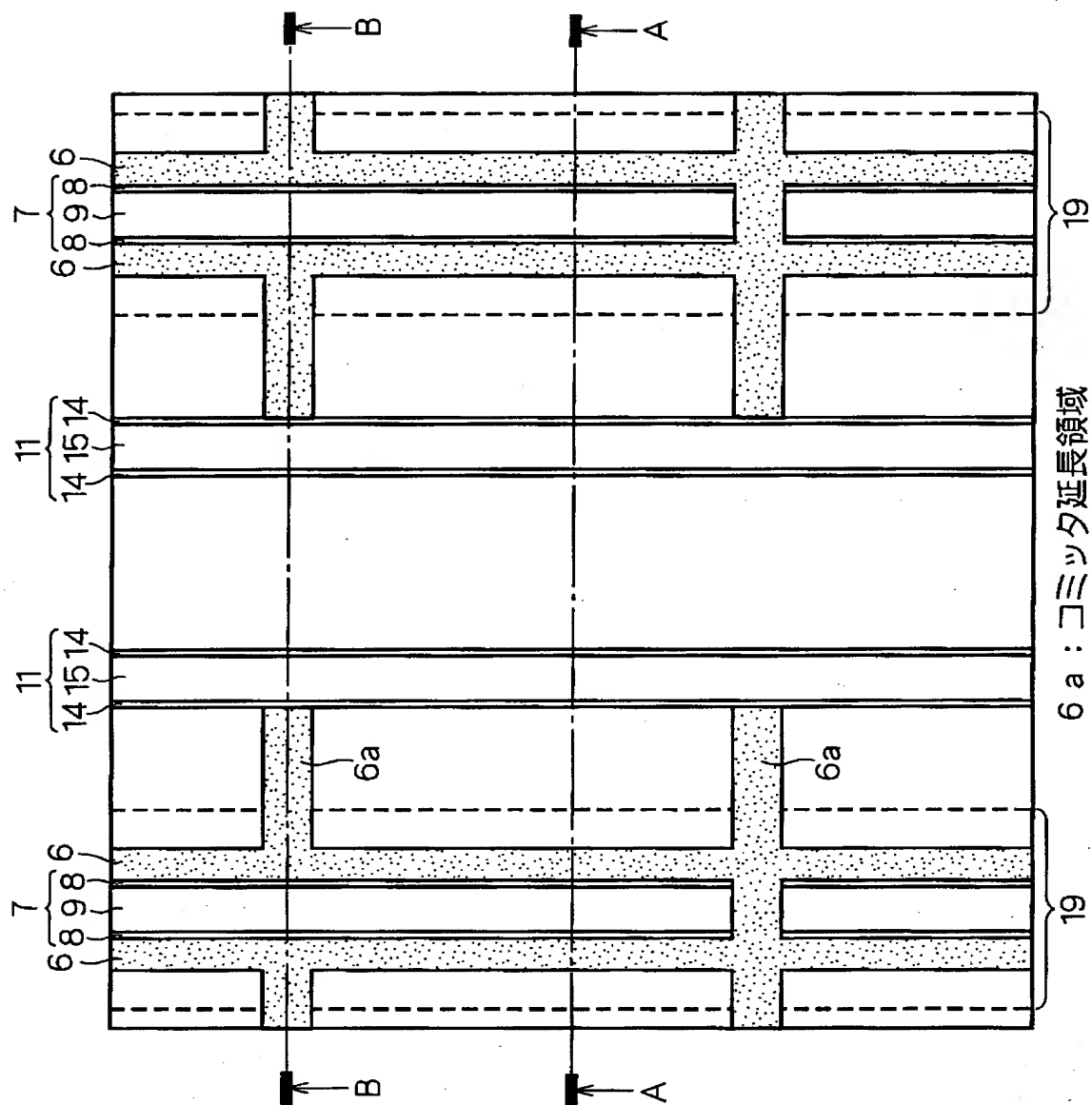
【符号の説明】

1 P^+ 基板、2 N^+ バッファ層、3 N^- 層、4 N層、5 Pベース層、
6 N^+ エミッタ領域、6a~6c エミッタ延長領域、7 第1の溝、8 ゲート絶縁膜、9 ゲート電極、10, 19 層間絶縁膜、11 第2の溝、12
エミッタ電極、13 コレクタ電極、14 絶縁膜、15 ポリシリコン領域、
16, 17 P^+ 拡散領域。

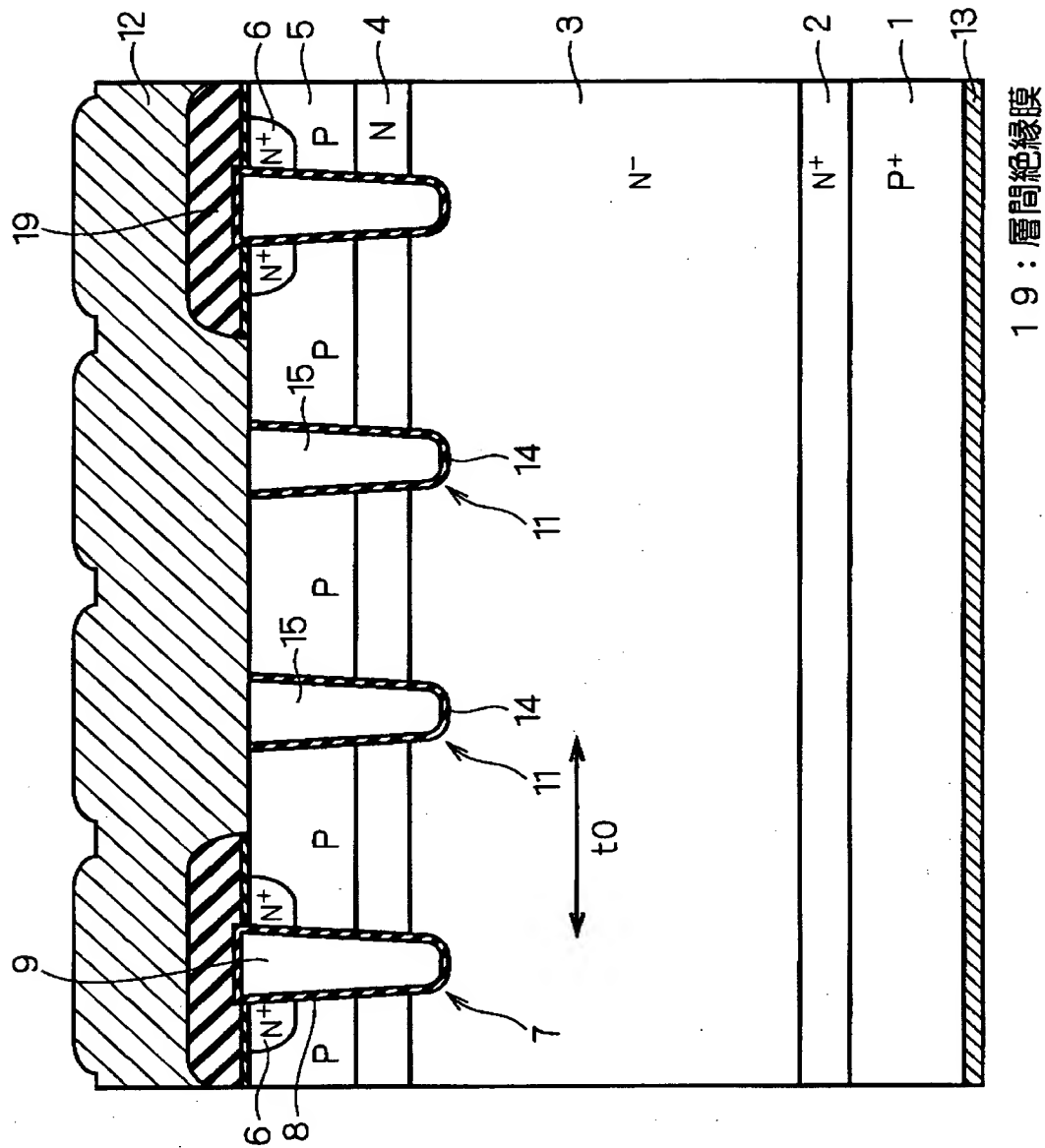
【図 2】



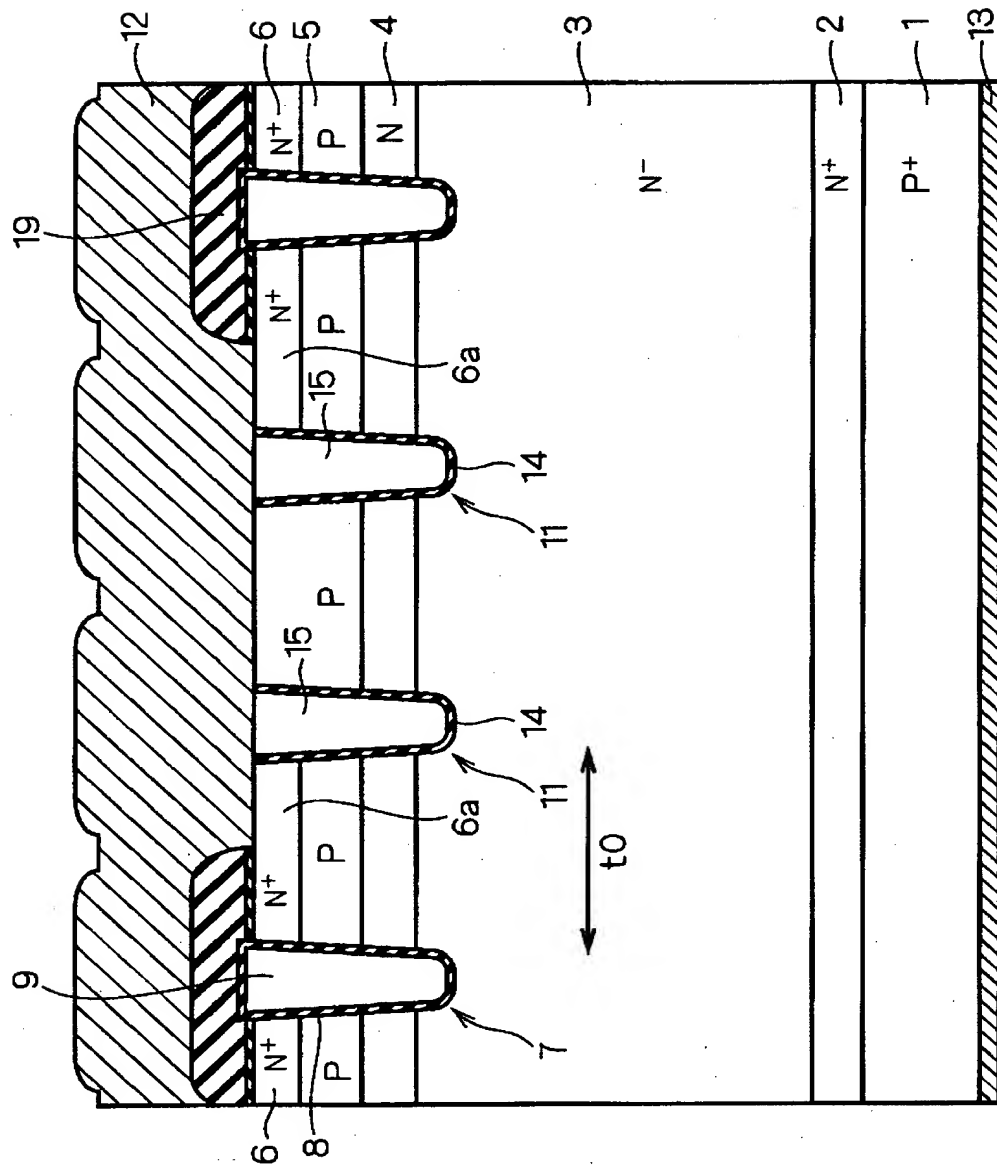
【図 3】



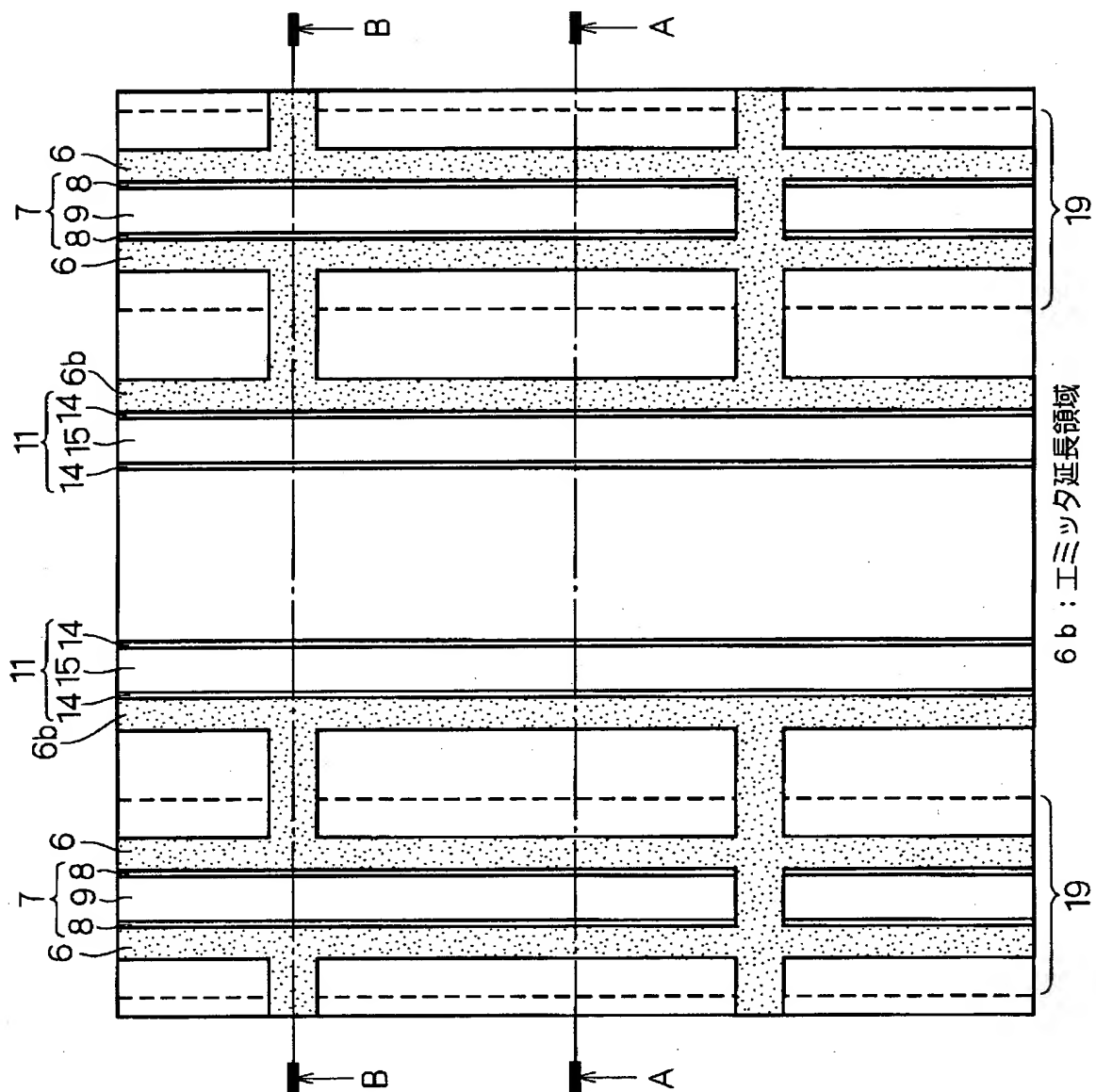
【図 4】



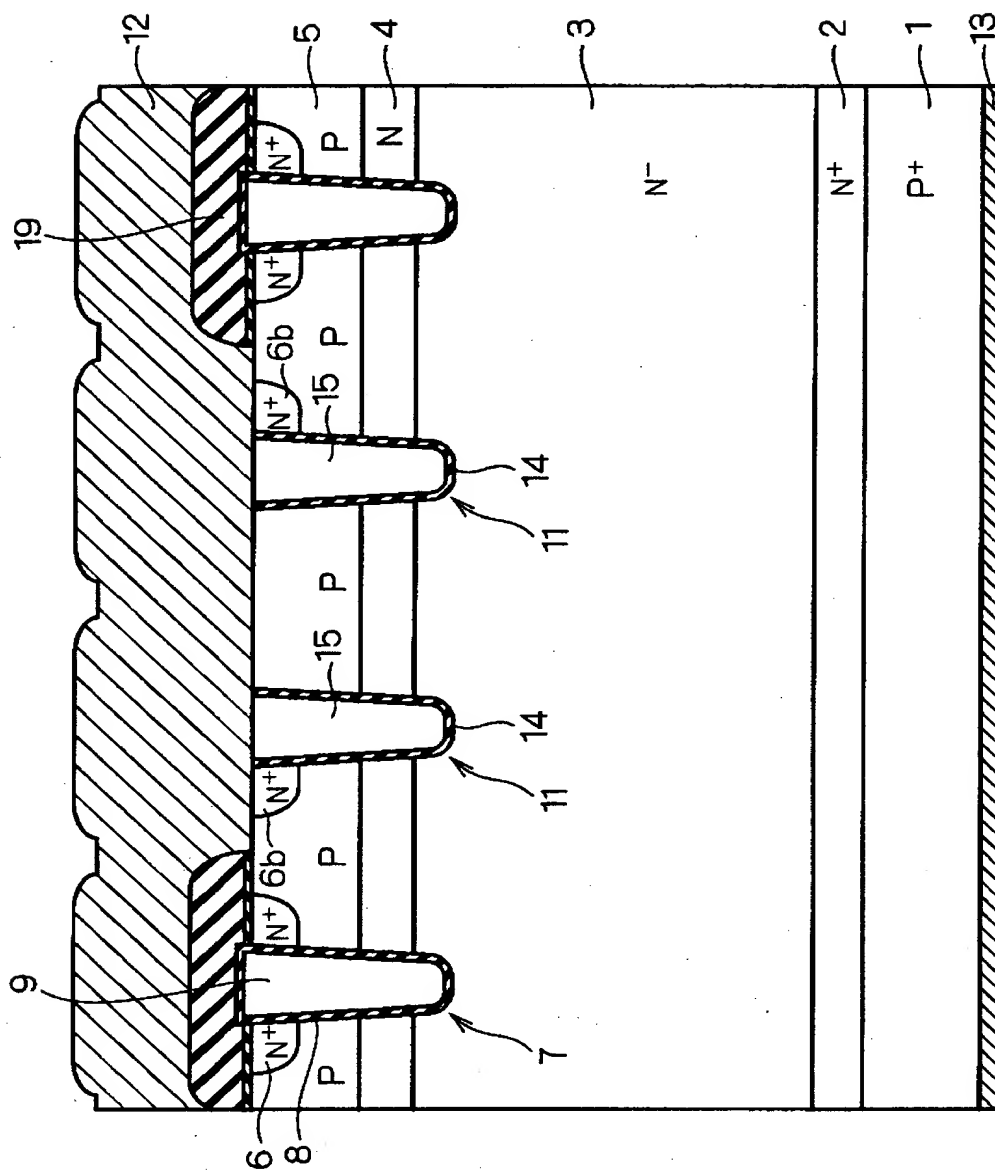
【図 5】



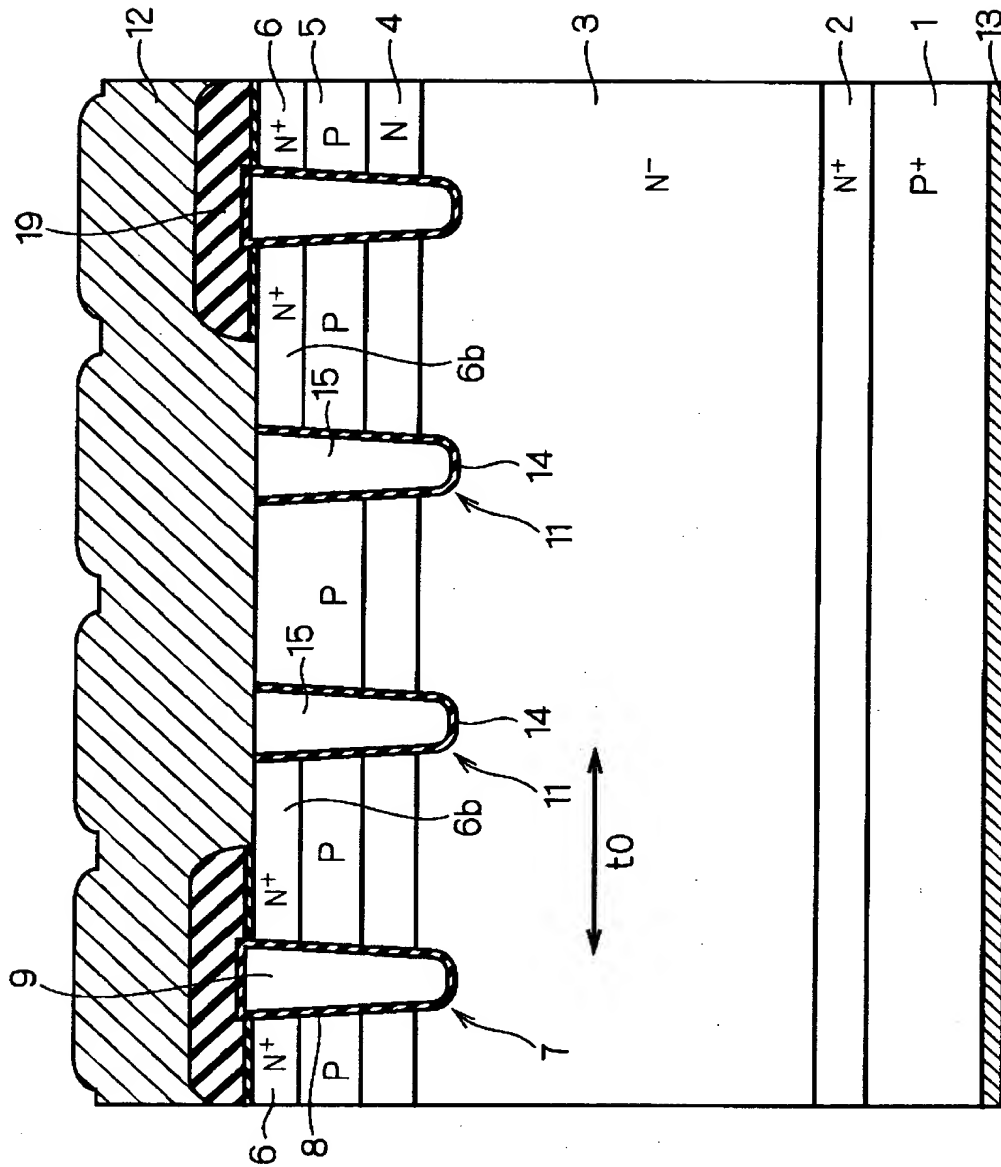
【図 6】



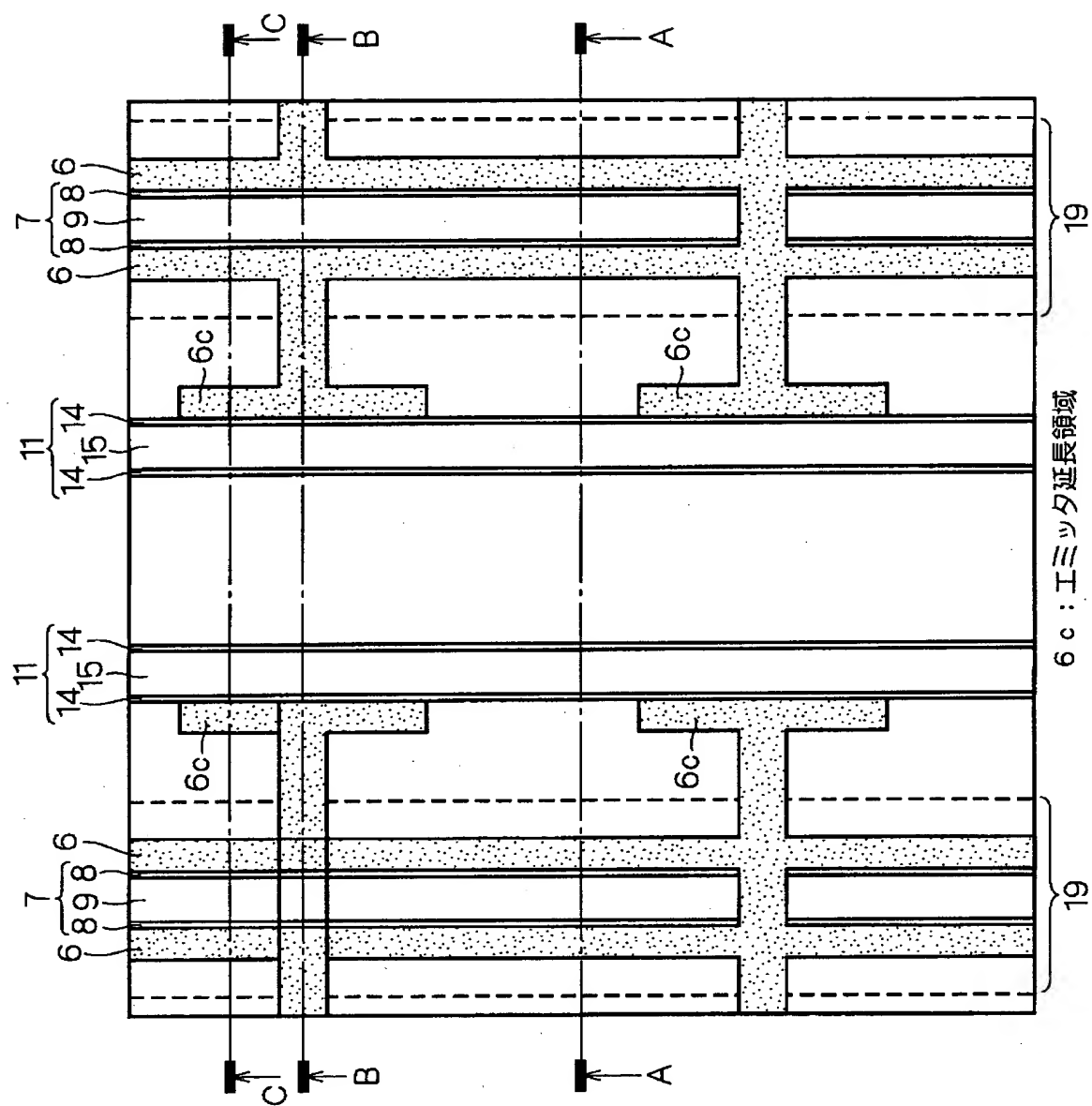
【图7】



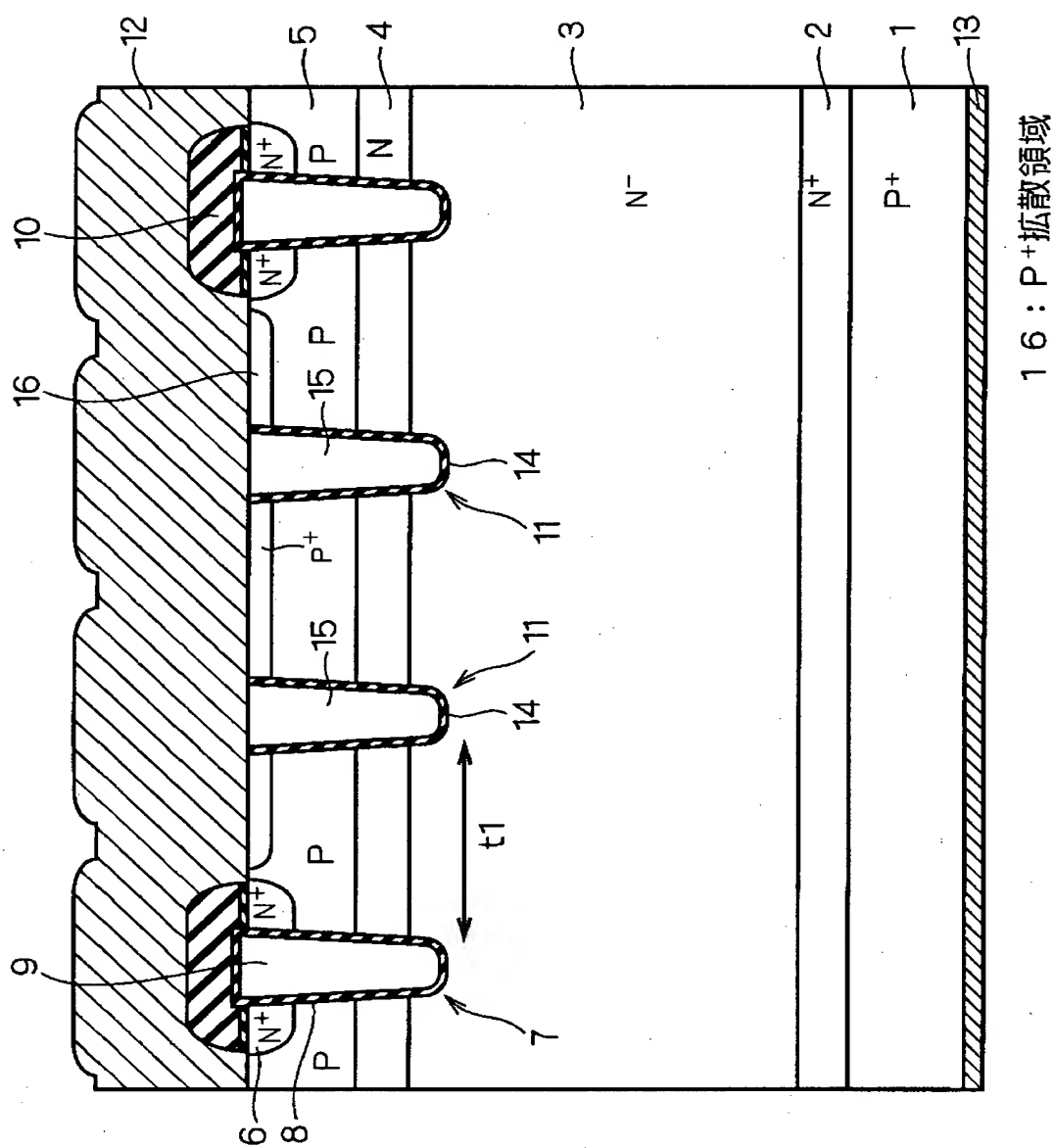
【図 8】



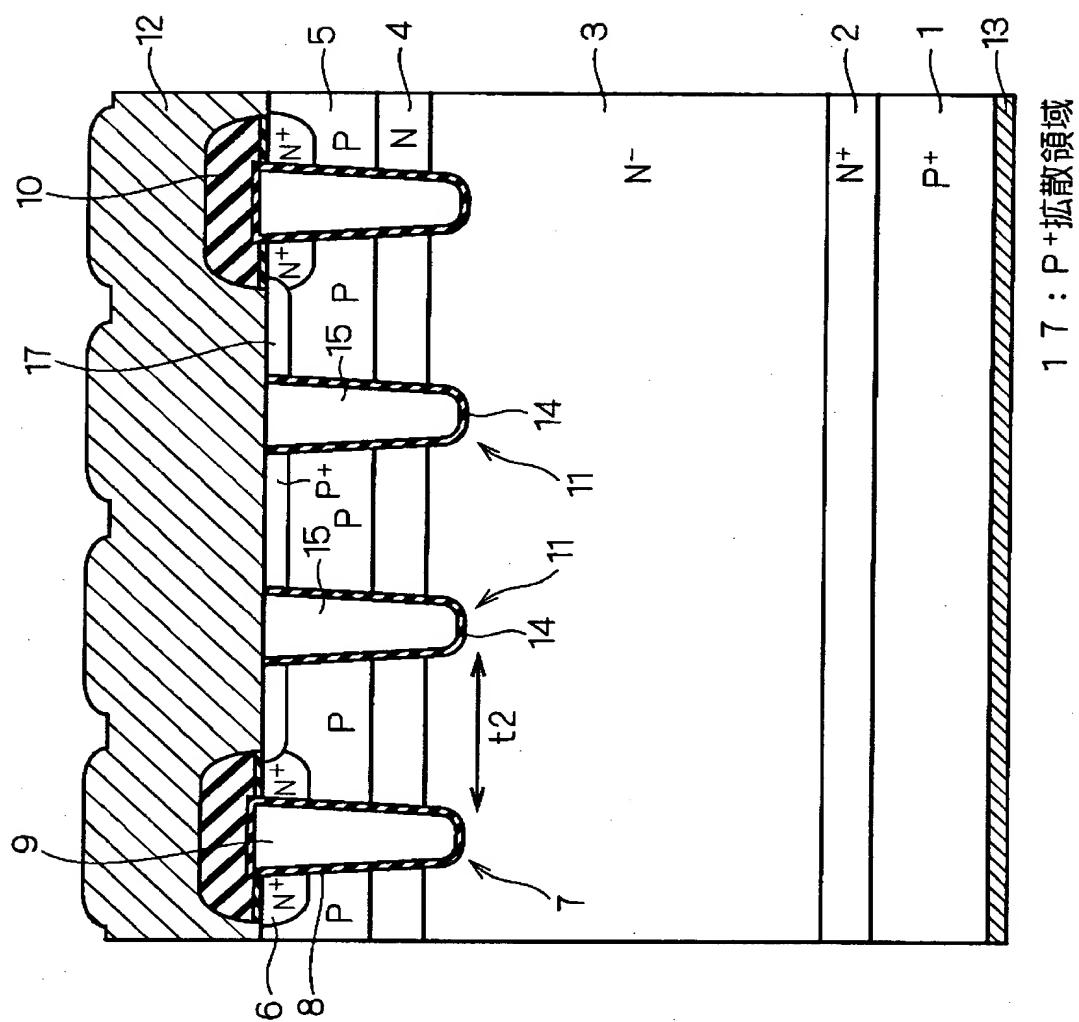
【図 9】



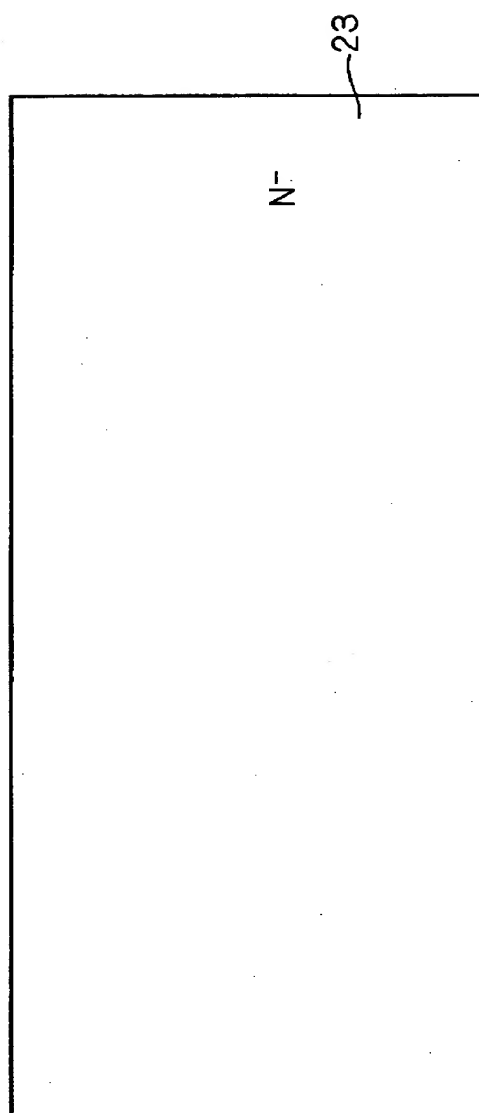
【図 10】



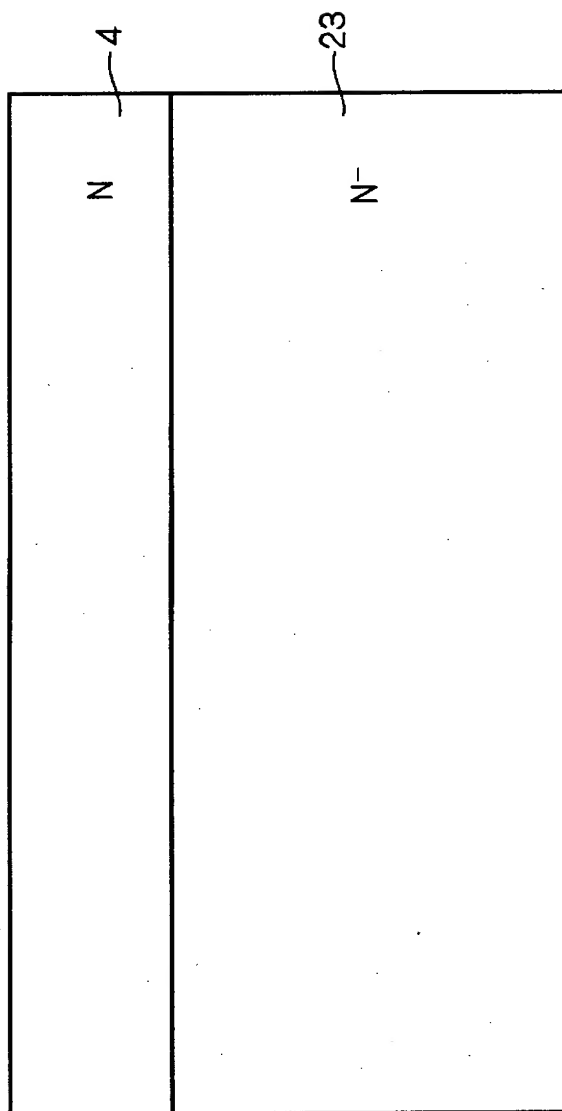
【図 1 1】



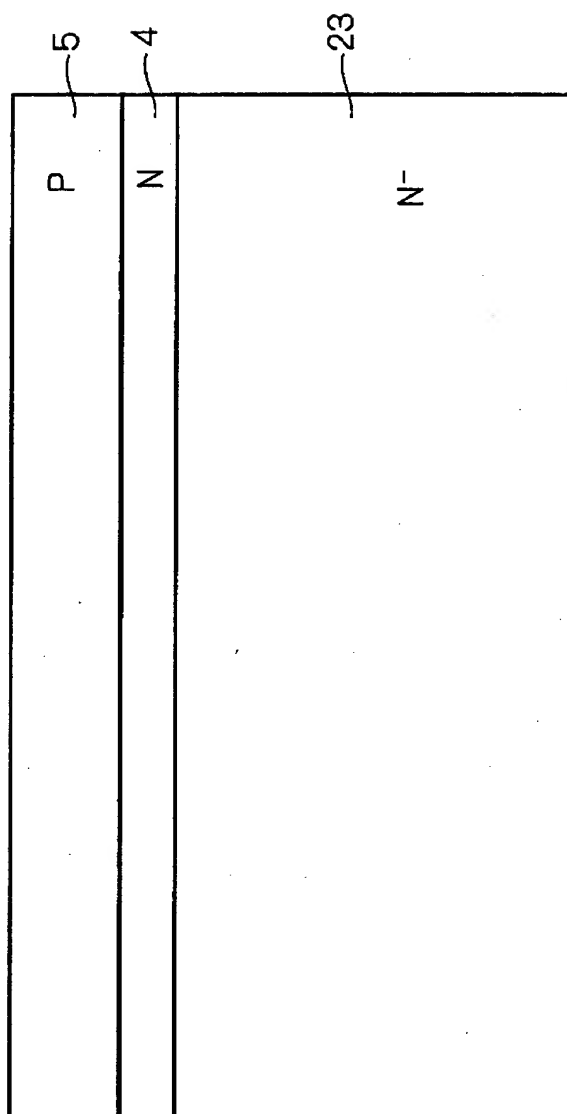
【図 1 2】



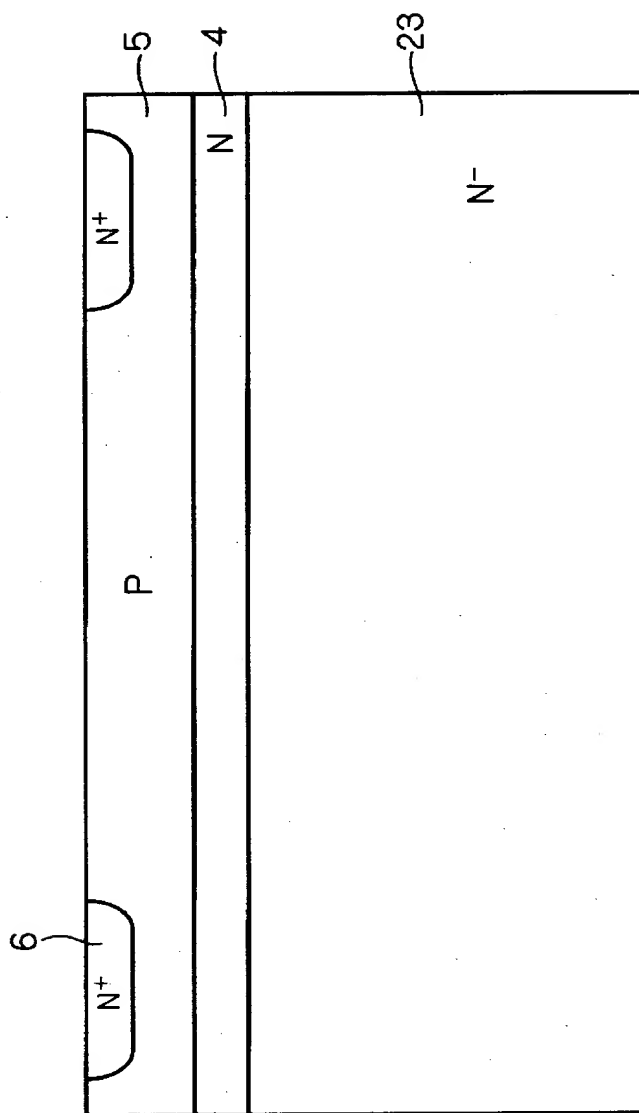
【図 1 3】



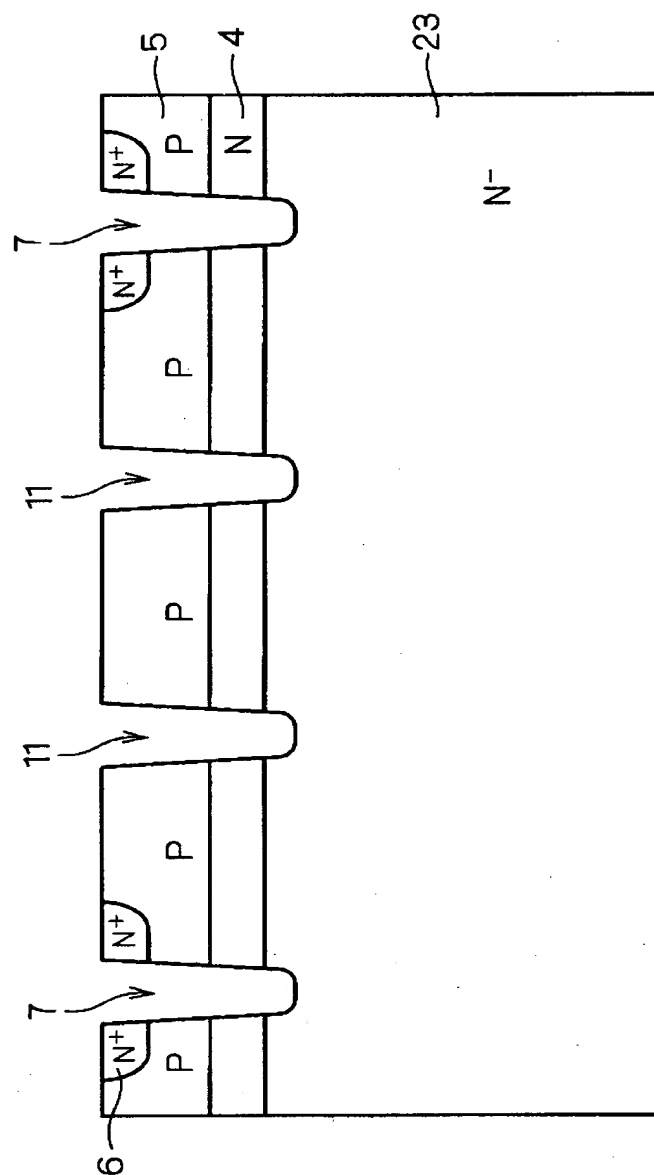
【図 1 4】



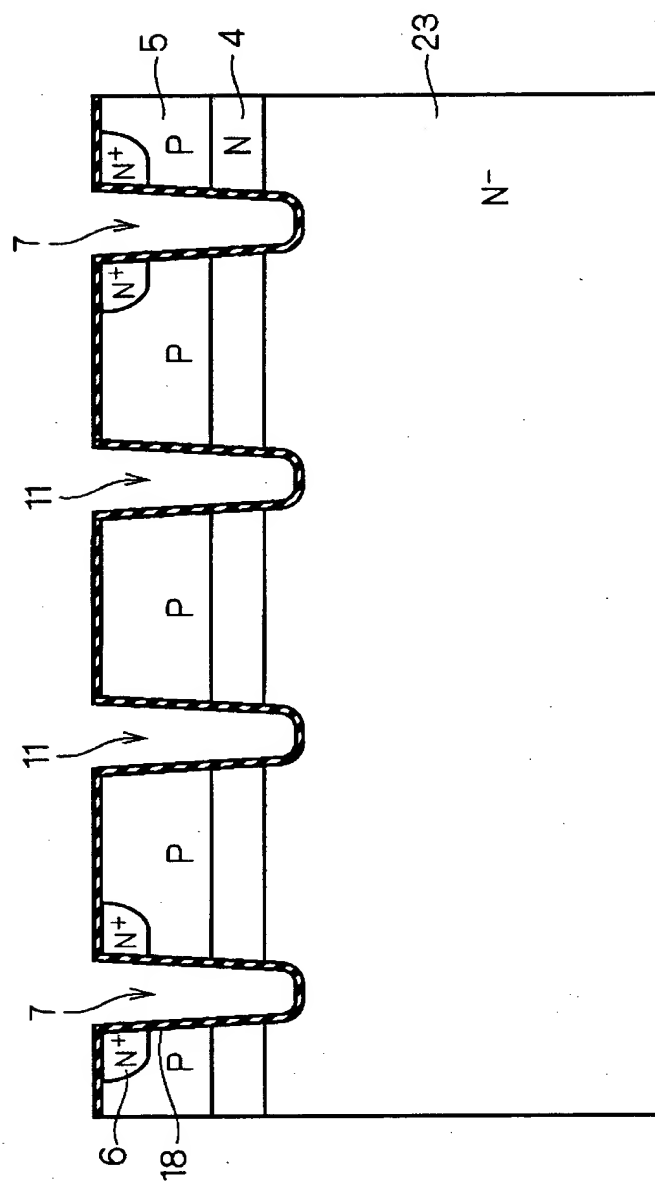
【図 15】



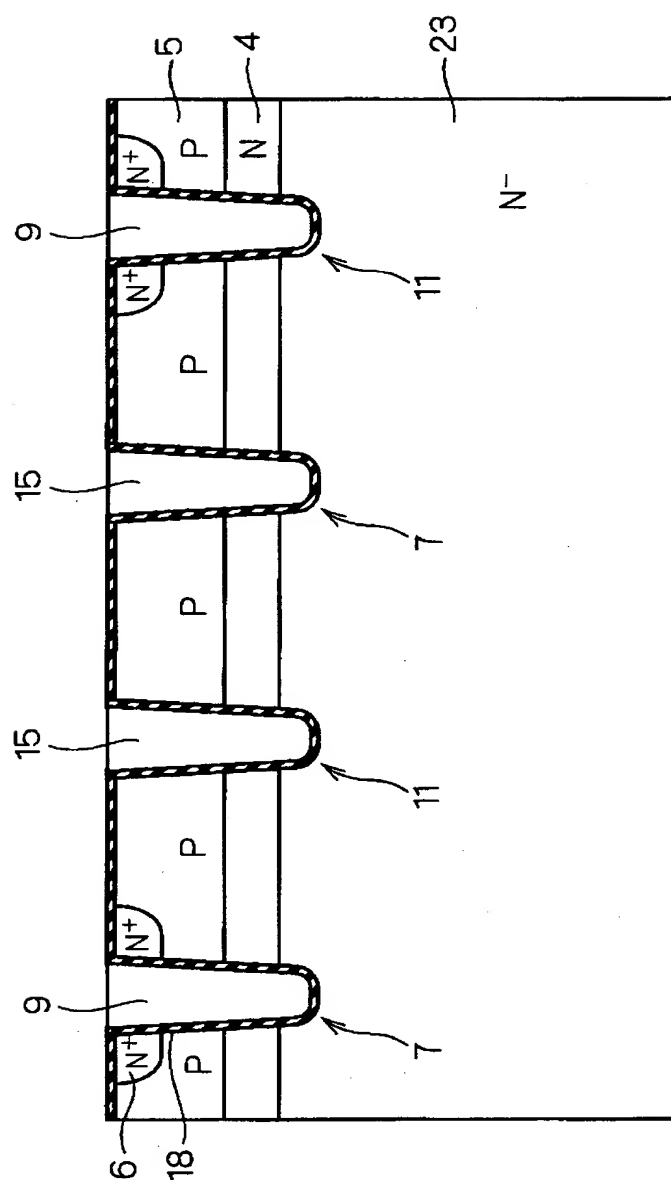
【図 16】



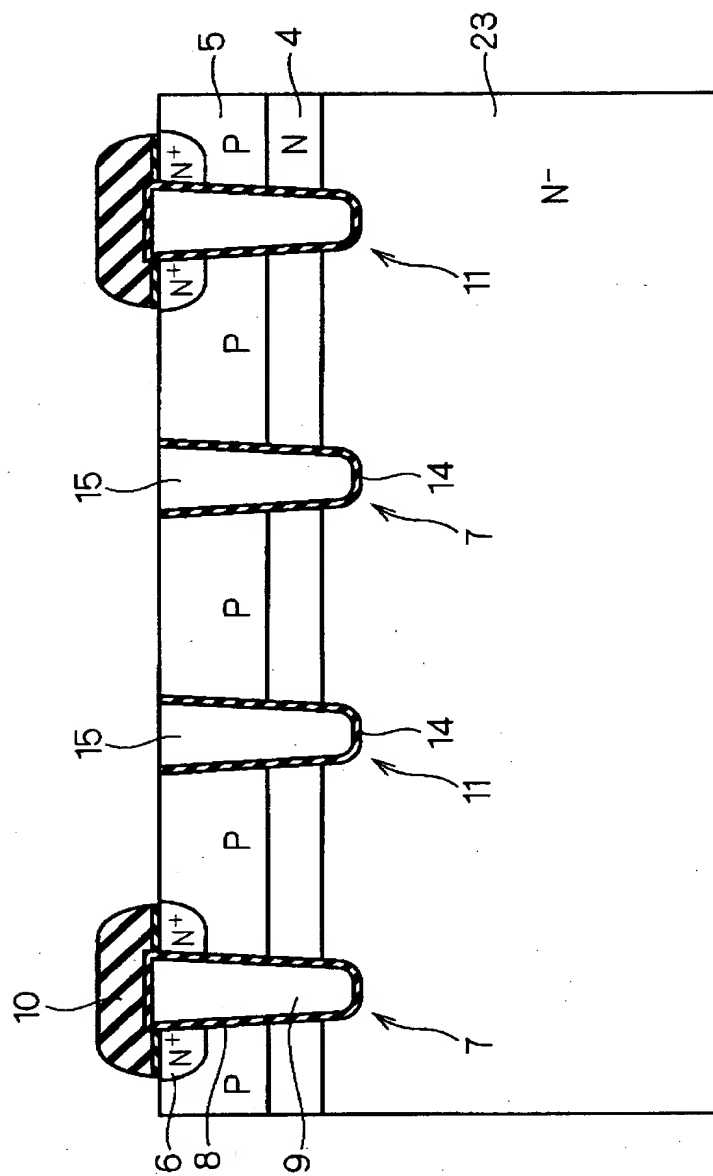
【図 17】



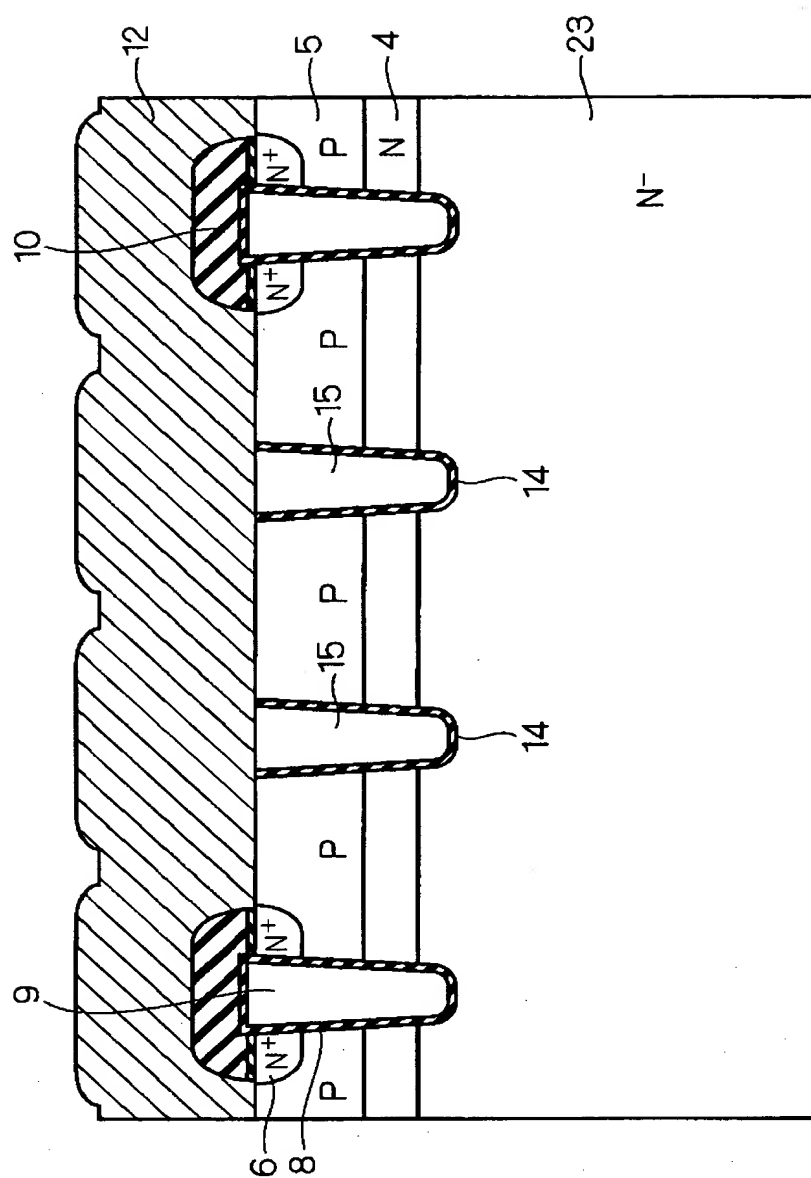
【图 18】



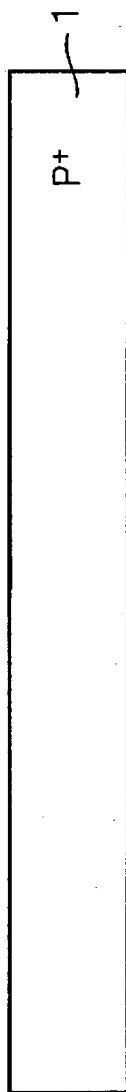
【図 19】



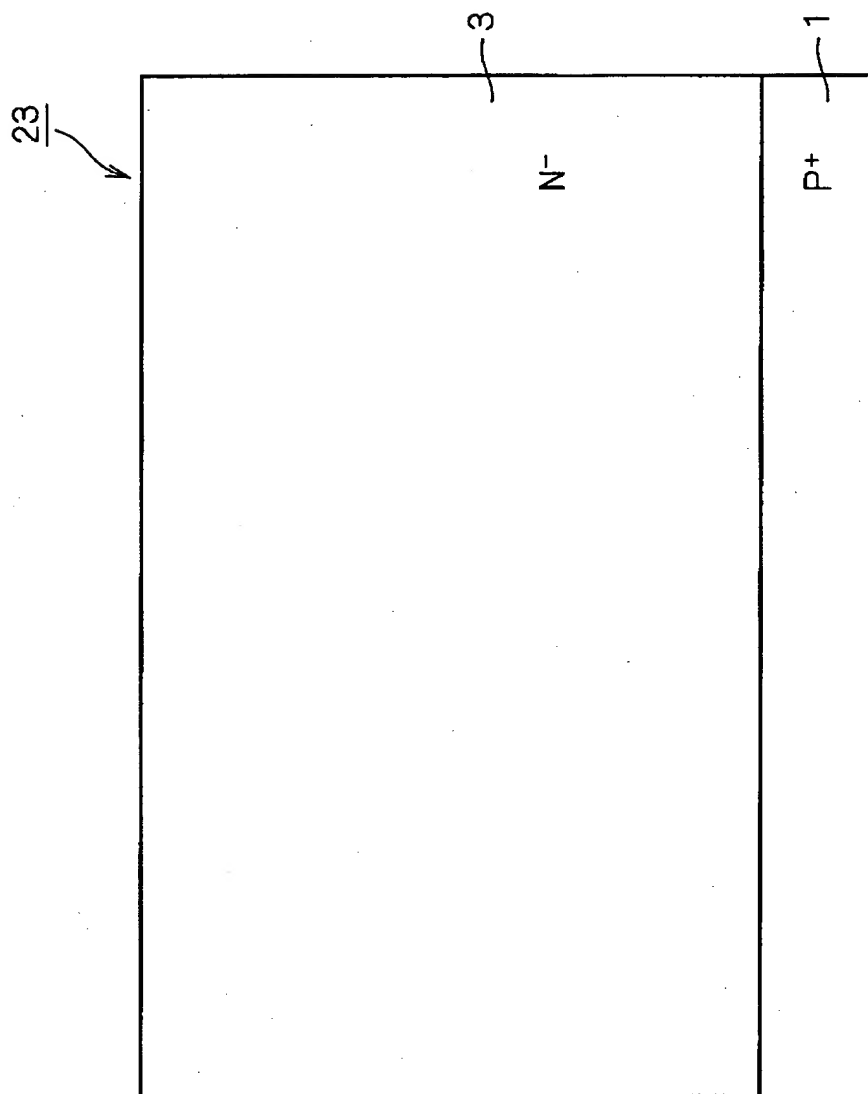
【図 20】



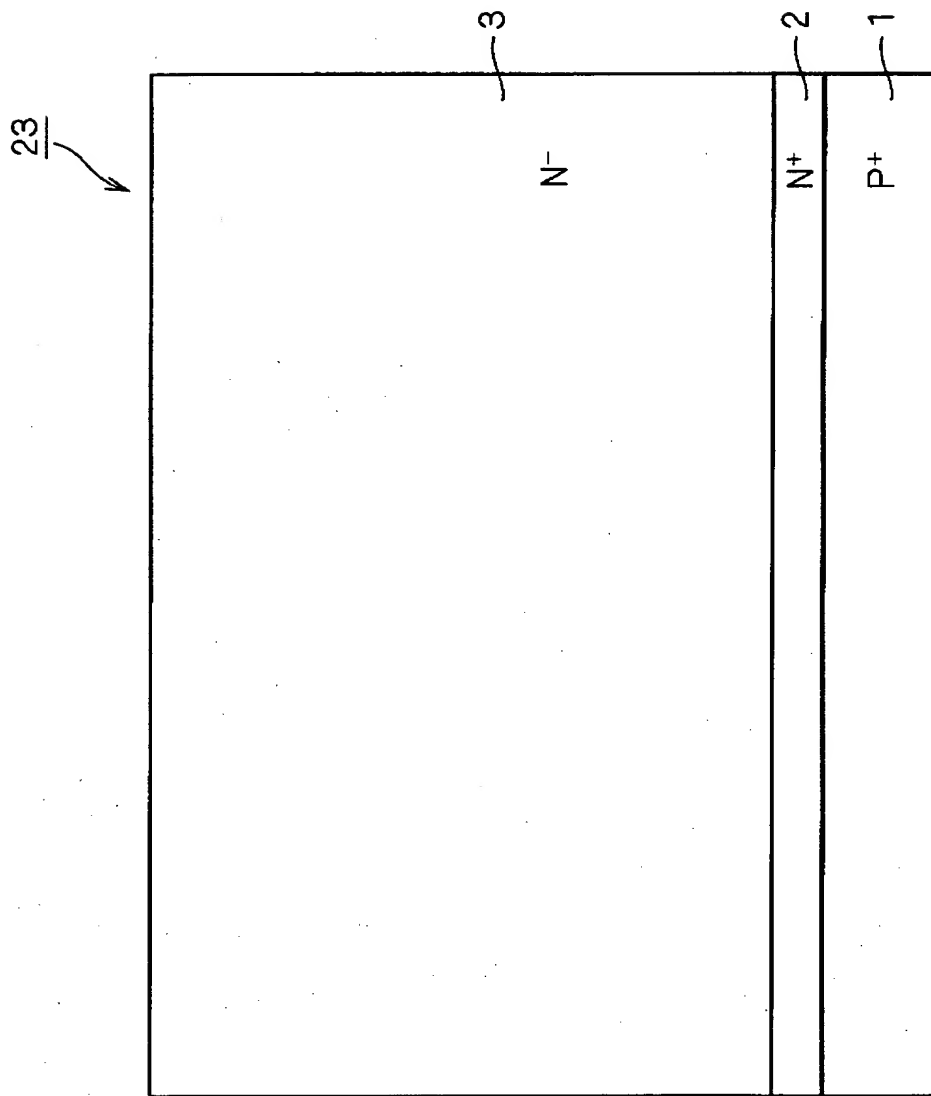
【図 2 1】



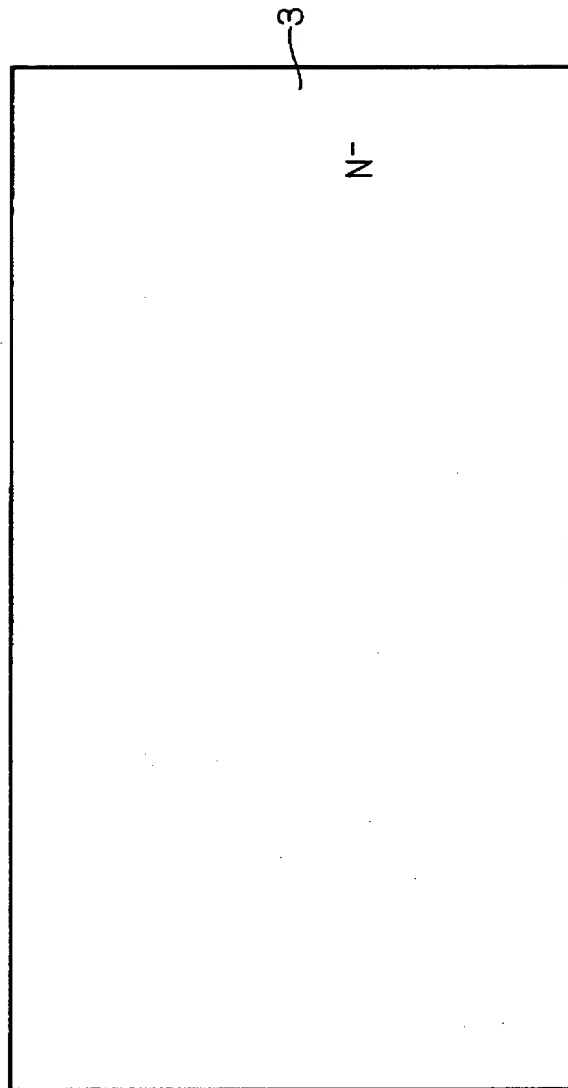
【図 2 2】



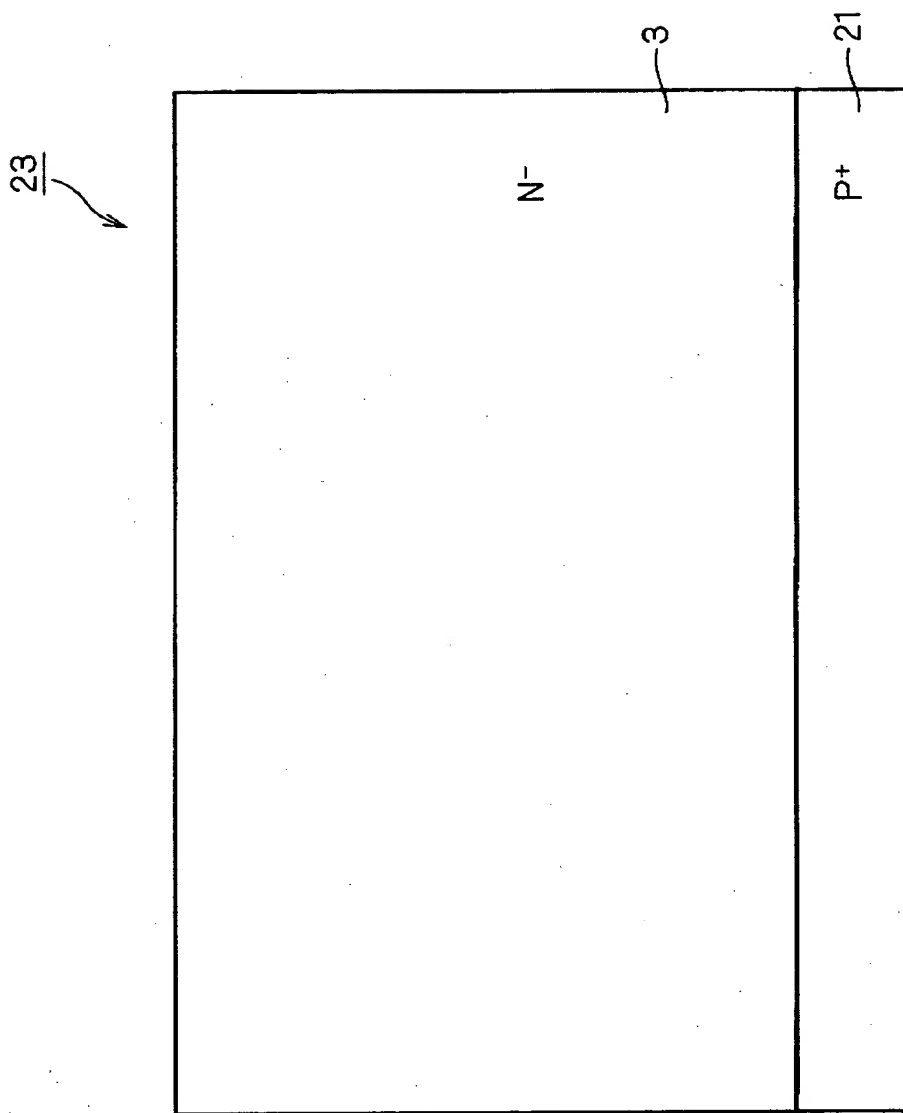
【図 2 3】



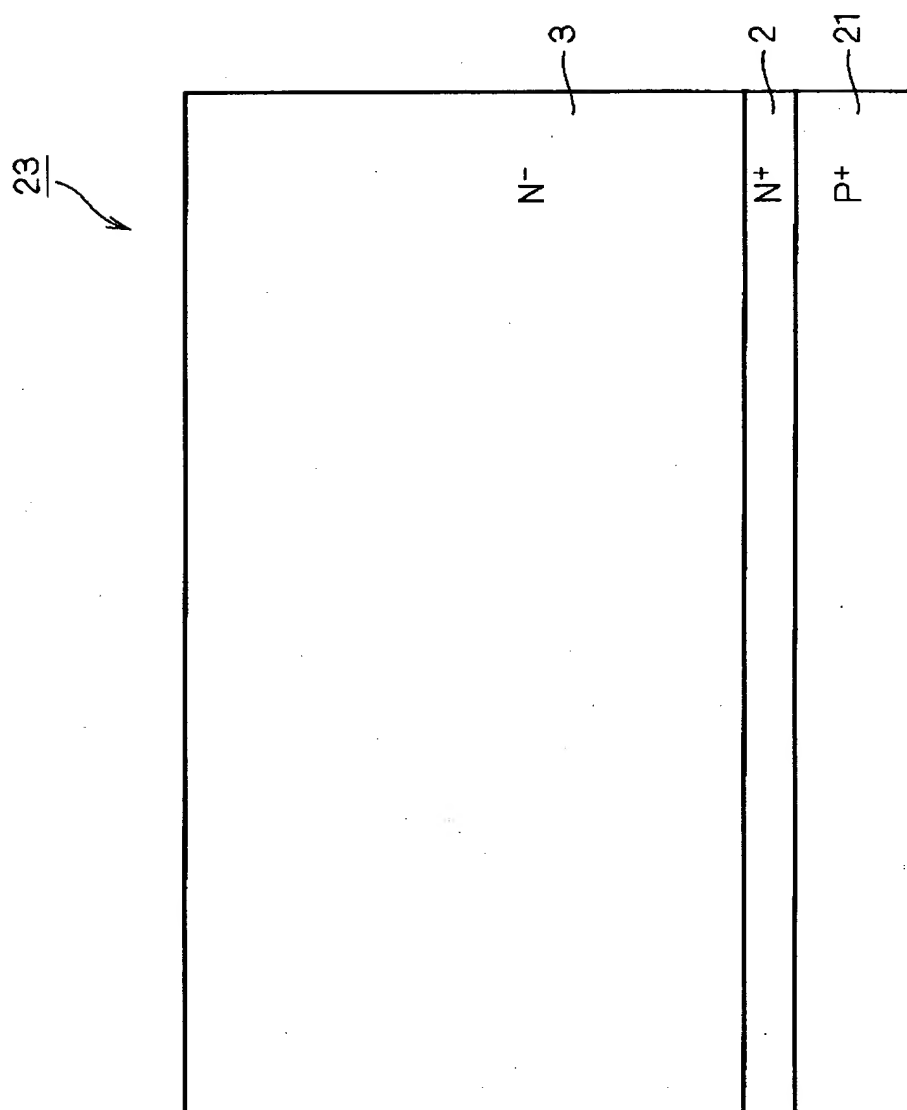
【図 2 4】



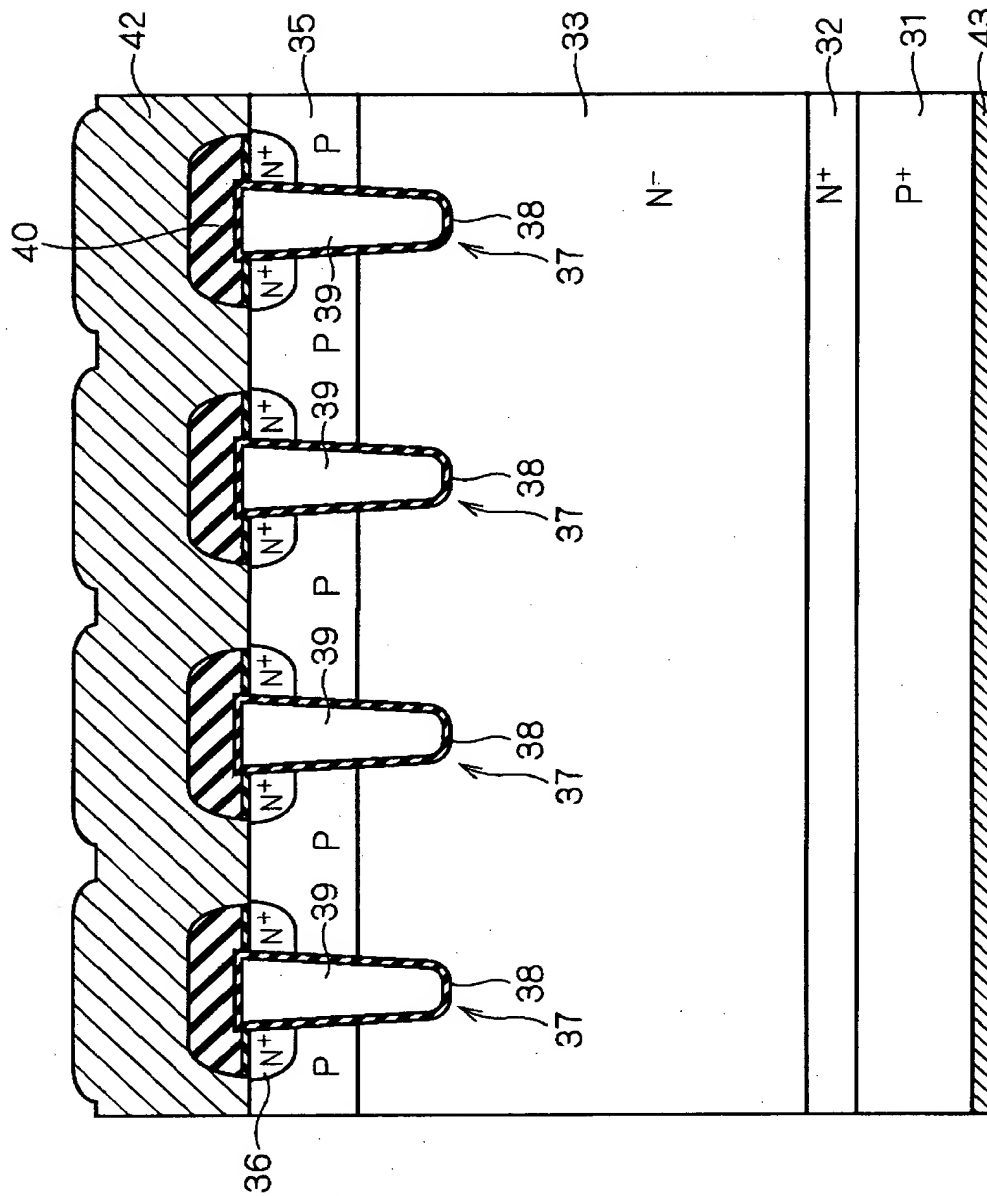
【図 2 5】



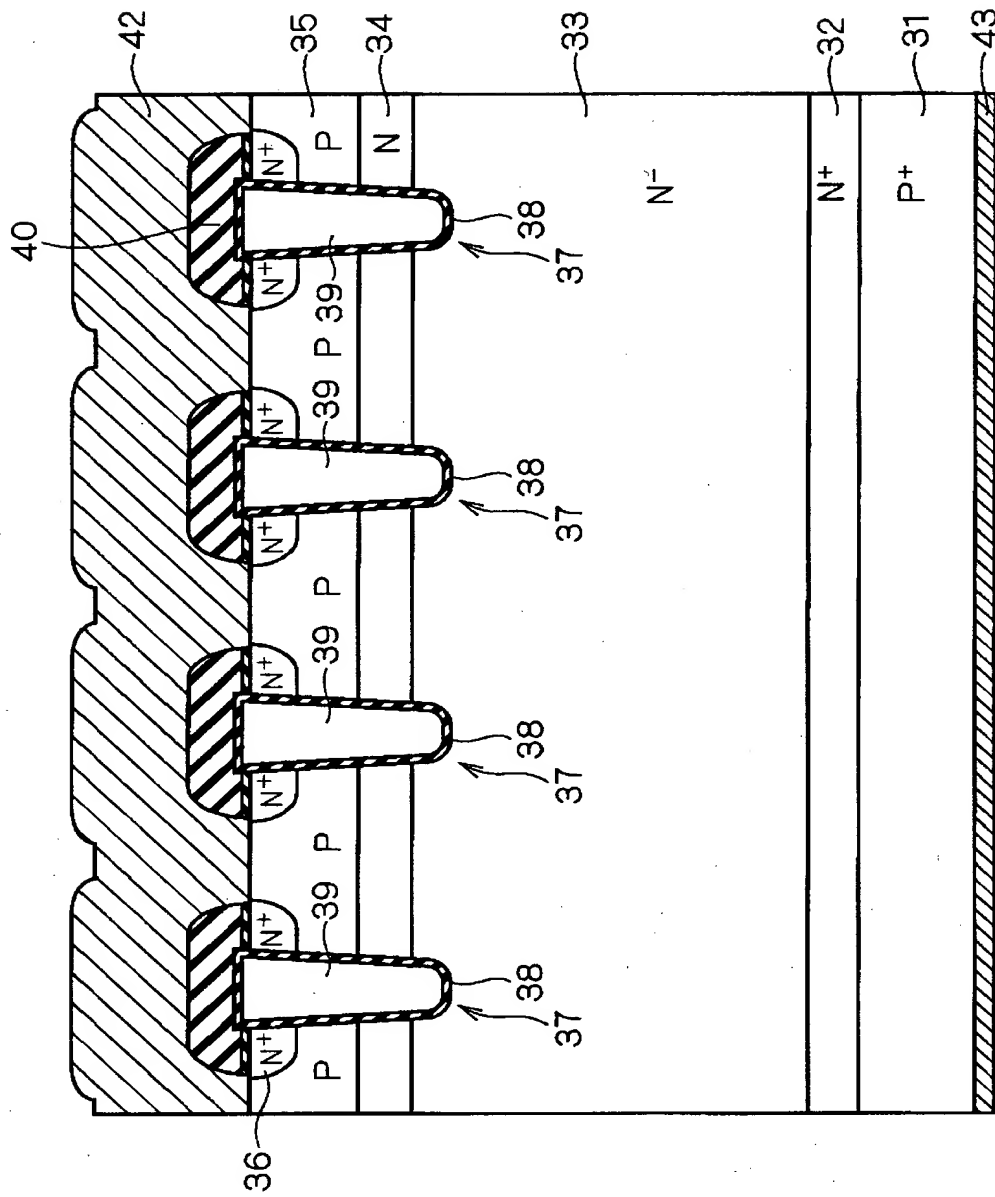
【図 2 6】



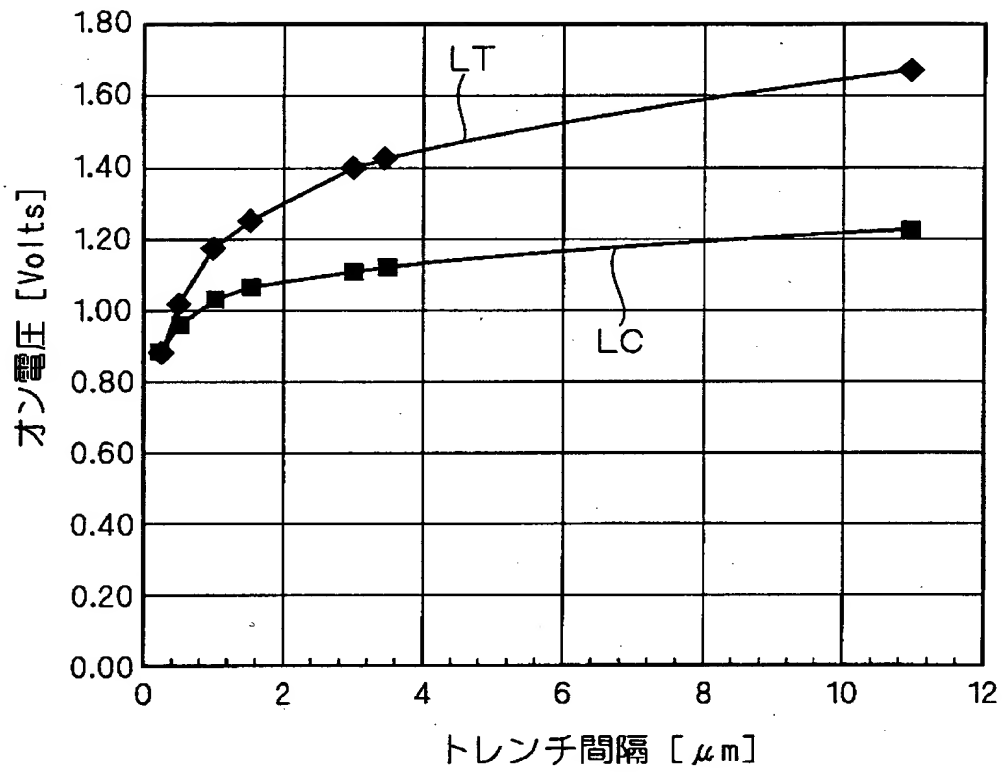
【図27】



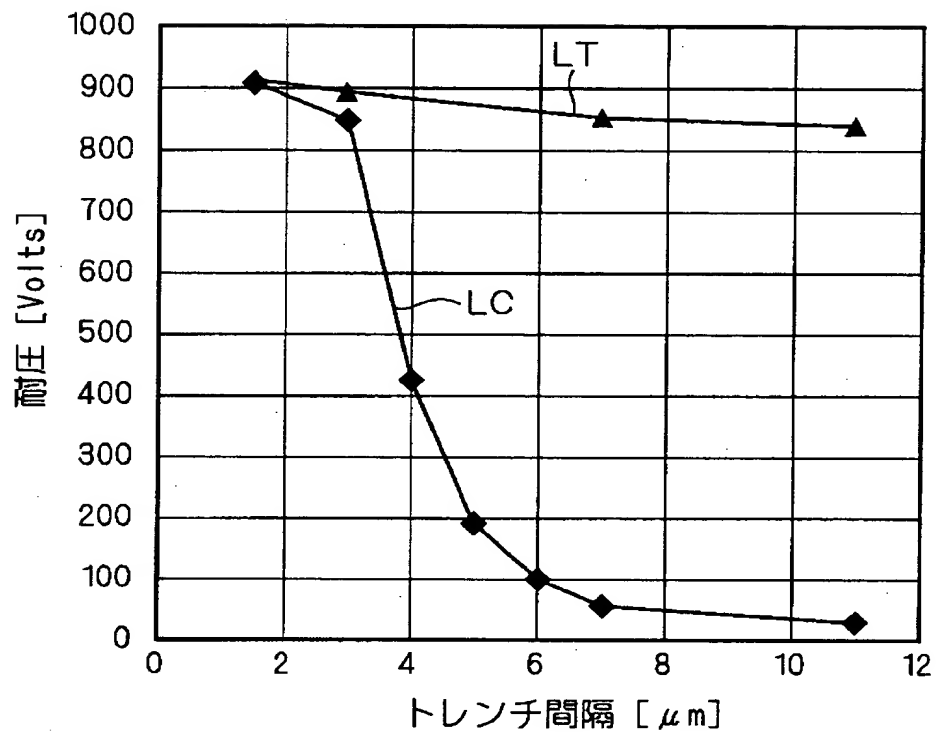
【図 28】



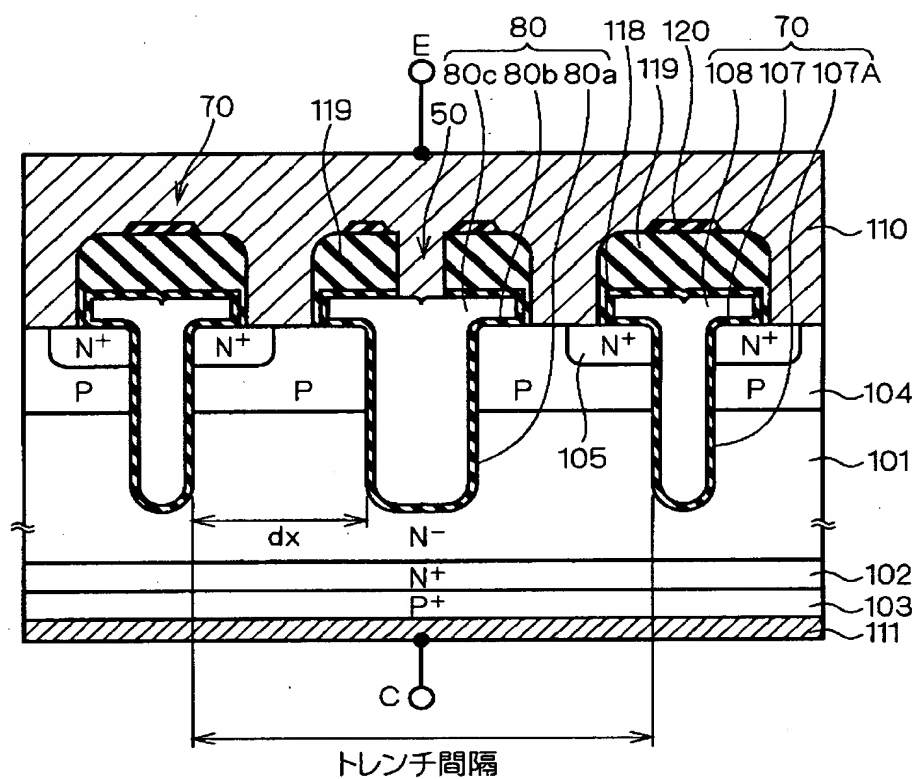
【図 29】



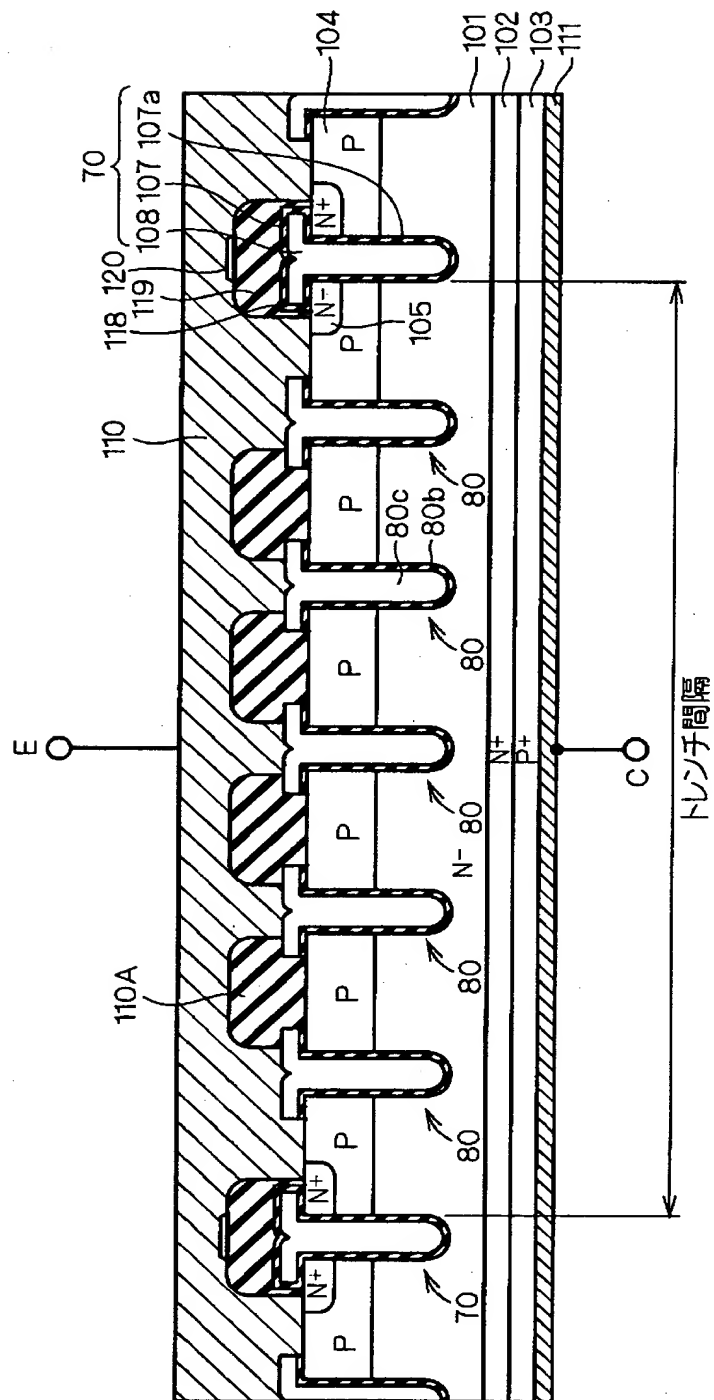
【図 3 0】



【図 3 1】



【図 3 2】



【書類名】 要約書

【要約】

【課題】 動作特性に悪影響を与えることなく、ゲート容量の増大を最小限に抑えた半導体装置及びその製造方法を得る。

【解決手段】 N^- 層 3 及び N 層 4 を貫通して N^- 層 3 の上層部に到達するように第 1 の溝 7 及び第 2 の溝 1 1 がそれぞれ形成される。この際、第 1 の溝 7, 7 間に所定数の第 2 の溝 1 1 が形成される。第 1 の溝 7 は N^+ エミッタ領域 6 に隣接し、内部にゲート電極 9 が形成される。第 2 の溝 1 1 は内部にポリシリコン領域 1 5 が形成される。第 2 の溝 1 1 は、近傍領域に N^+ エミッタ領域 6 が形成されていない点、内部にゲート電極 9 が形成されない点が第 1 の溝 7 と異なる。互いに隣接する第 1 の溝 7 及び第 2 の溝 1 1 間のトレンチ間隔は、耐圧が低下しない範囲の距離に設定される。そして、ベース領域 5 の表面の略全面上にエミッタ電極 1 2 が直接形成される。

【選択図】 図 1